

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-125916

(43)Date of publication of application : 15.05.1998

(51)Int.Cl.

H01L 29/78

H01L 21/265

H01L 21/336

(21)Application number : 08-282380

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 24.10.1996

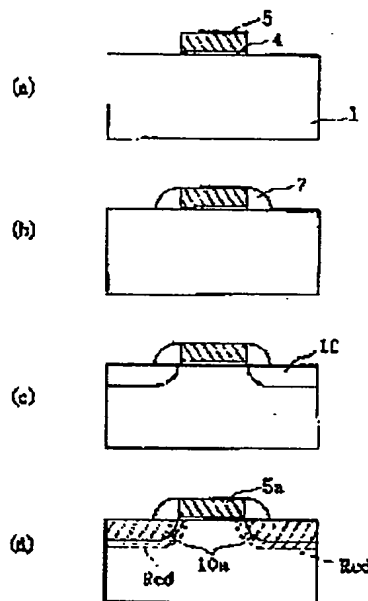
(72)Inventor : UMIMOTO HIROYUKI  
ODANAKA SHINJI  
TAKASE MICHIIHIKO

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize a reduction in the depth of each impurity diffused layer along a scaling law and the like to a miniaturization of a MIS semiconductor device.

**SOLUTION:** A gate insulating film 4, a gate electrode 5 and sidewalls 7 are formed on a P-type silicon substrate 1. Arsenic ions are implanted in the substrate 1 using the electrode 5 and the sidewalls 7 as masks and impurity diffused regions 10 for source and drain use are formed. Similarly, carbon ions are implanted to form carbon-doped regions Rcd to overlap with the regions 10. An activation of the impurities using a heat treatment is performed to form an N-type low-resistance gate electrode 5a and N-type source and drain regions 10a. At that time, as diffusion of the arsenic impurities is inhibited by the carbon impurities, the depth of the regions 10a is inhibited and a reduction in the depth along a scaling law becomes possible.



### LEGAL STATUS

[Date of request for examination] 24.07.2001

[Date of sending the examiner's decision of rejection] 08.03.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

Searching PAJ

2/2 ページ

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

**書誌**

(19)【発行国】日本国特許庁(JP)  
(12)【公報種別】公開特許公報(A)  
(11)【公開番号】特開平10-125916  
(43)【公開日】平成10年(1998)5月15日  
(54)【発明の名称】半導体装置及びその製造方法  
(51)【国際特許分類第6版】

H01L 29/78  
21/265  
21/336

**【FI】**

H01L 29/78 301 X  
21/265 F  
602 A  
604 G  
29/78 301 P

【審査請求】未請求

【請求項の数】22

【出願形態】OL

【全頁数】23

(21)【出願番号】特願平8-282360

(22)【出願日】平成8年(1996)10月24日

(71)【出願人】

【識別番号】000005821

【氏名又は名称】松下電器産業株式会社

【住所又は居所】大阪府門真市大字門真1006番地

(72)【発明者】

【氏名】海本 博之

【住所又は居所】大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)【発明者】

【氏名】小田中 紳二

【住所又は居所】大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)【発明者】

【氏名】高瀬 道彦

【住所又は居所】大阪府門真市大字門真1006番地 松下電器産業株式会社内

(74)【代理人】

【弁理士】

【氏名又は名称】前田 弘(外2名)

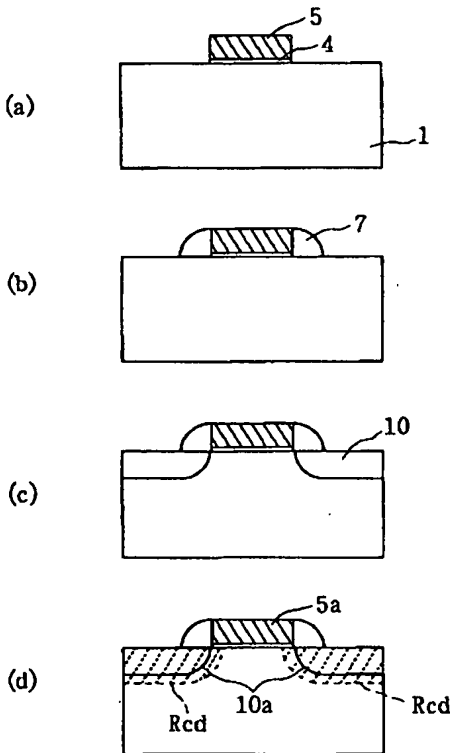
**要約**

(57)【要約】

【課題】MIS型半導体装置の微細化に対して、スケーリング則に沿った各不純物拡散層の深さ等の縮小を実現する。

【解決手段】p型シリコン基板1の上に、ゲート絶縁膜4と、ゲート電極5と、サイドウォール7とを形成する。ゲート電極5及びサイドウォール7をマスクとして用い、p型シリコン基板1内に砒素イオンを注

入し、ソース・ドレイン用不純物拡散領域10を形成する。同様に炭素イオンの注入を行って、ソース・ドレイン用不純物拡散領域10とオーバーラップする炭素ドーピング領域Rcdを形成する。熱処理による不純物の活性化を行って、低抵抗のn型ゲート電極5aと、n型ソース・ドレイン領域10aとを形成する。その際、炭素により砒素の拡散が抑制されるので、n型ソース・ドレイン領域10aの深さが抑制され、スケーリング則に沿った深さの縮小が可能になる。



## 請求の範囲

### 【特許請求の範囲】

【請求項1】 半導体基板と、上記半導体基板内に形成された第1導電型の基板領域と、上記半導体基板上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成されたゲート電極と、上記半導体基板内の上記ゲート電極の両側方に位置する領域に形成された第2導電型のソース・ドレイン領域と、少なくとも上記ソース・ドレイン領域とオーバーラップする領域に形成された炭素ドーピング領域とを備えていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、上記炭素ドーピング領域は、上記ソース・ドレイン領域の内部にのみ形成されていることを特徴とする半導体装置。

【請求項3】 半導体基板と、上記半導体基板内に形成された第1導電型の基板領域と、上記半導体基板上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成されたゲート電極と、上記半導体基板内の上記ゲート電極の両側方に位置する領域に形成された第2導電型のソース・ドレイン領域と、上記基板領域内の上記ゲート電極直下に位置する領域と上記ソース・ドレイン領域との間の領域に形成された第2導電型の低濃度ソース・ドレイン領域と、上記半導体基板内の少なくとも上記低濃度ソース・ドレイン領域とオーバーラップする領域に形成された炭素ドーピング領域とを備えていることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、上記低濃度ソース・ドレイン領域の下方で低濃度ソース・ドレイン領域と接する領域に形成された第1導電型のポケット領域をさらに備え、上記炭素ドーピング領域は、上記ポケット領域の一部に亘って形成されていることを特徴とする半導体装置。

【請求項5】 請求項3記載の半導体装置において、上記炭素ドーピング領域は、上記低濃度ソース・ドレイン領域とオーバーラップする領域に形成されていることを特徴とする半導体装置。

ン領域の内部にのみ形成されていることを特徴とする半導体装置。

【請求項6】請求項5記載の半導体装置において、上記低濃度ソース・ドレイン領域の下方で低濃度ソース・ドレイン領域と接する領域に形成された第1導電型のポケット領域をさらに備えていることを特徴とする半導体装置。

【請求項7】半導体基板と、上記半導体基板内に形成された第1導電型の基板領域と、上記半導体基板上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成されたゲート電極と、上記半導体基板内の上記ゲート電極の両側方に位置する領域に形成された第2導電型のソース・ドレイン領域と、上記半導体基板内の上記ゲート電極直下方に位置する領域に形成されたしきい値制御レベルの不純物を含むチャネル領域と、少なくとも上記チャネル領域とオーバーラップする領域に形成された炭素ドーピング領域とを備えていることを特徴とする半導体装置。

【請求項8】請求項7記載の半導体装置において、上記炭素ドーピング領域は、上記チャネル領域の内部にのみ形成されていることを特徴とする半導体装置。

【請求項9】請求項8記載の半導体装置において、上記炭素ドーピング領域は、上記ゲート絶縁膜とは離れていることを特徴とする半導体装置。

【請求項10】半導体基板と、上記半導体基板内に形成された第1導電型のウエル領域と、上記ウエル領域の上方かつ上記半導体基板の上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成されたゲート電極と、上記半導体基板内の上記ゲート電極の両側方に位置する領域に上記ウエル領域と下端で接するように形成された第2導電型のソース・ドレイン領域と、上記半導体基板内の上記ソース・ドレイン間に位置する領域に上記ウエル領域と下端で接するように形成され、しきい値制御レベルの不純物を含むチャネル領域と、上記ウエル領域内の奥方の一部を含みかつ上記チャネル領域及びソース・ドレイン領域とは離れた領域に形成された炭素ドーピング領域とを備えていることを特徴とする半導体装置。

【請求項11】請求項10記載の半導体装置において、上記炭素ドーピング領域の炭素濃度のピーク位置が、上記ウエル領域の第1導電型不純物濃度のピーク位置よりも浅いことを特徴とする半導体装置。

【請求項12】半導体基板内に第1導電型の基板領域を形成する第1の工程と、上記基板領域の上方かつ上記半導体基板の上にゲート絶縁膜及びゲート電極を形成する第2の工程と、少なくとも上記ゲート電極をマスクとして用いて上記半導体基板内に第2導電型不純物を導入し、上記半導体基板内の上記基板領域の上方かつ上記ゲート電極の両側方に位置する領域にソース・ドレイン用不純物拡散領域を形成する第3の工程と、上記第3の工程の後又は前に、少なくとも上記ゲート電極をマスクとして用いて上記半導体基板内に炭素を導入し、上記ソース・ドレイン用不純物拡散領域とオーバーラップする領域に炭素ドーピング領域を形成する第4の工程と、上記半導体基板の熱処理を行って、少なくとも上記ソース・ドレイン用不純物拡散領域内の第2導電型不純物を活性化させる第5の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項13】請求項12記載の半導体装置の製造方法において、上記第4の工程では、上記ソース・ドレイン用不純物拡散領域の内部のみに上記炭素ドーピング領域を形成することを特徴とする半導体装置の製造方法。

【請求項14】請求項12記載の半導体装置の製造方法において、上記第2の工程の後上記第3の工程の前に、上記ゲート電極の両側面上にサイドウォールを形成する工程をさらに備え、上記第3の工程では、上記ゲート電極及び上記サイドウォールをマスクとして用いて上記基板領域内に第2導電型不純物を導入し、上記第4の工程では、上記ゲート電極及び上記サイドウォールをマスクとして用いて上記基板領域内に炭素を導入することを特徴とする半導体装置の製造方法。

【請求項15】請求項13記載の半導体装置の製造方法において、上記第2の工程の後上記第3の工程の前に、上記ゲート電極をマスクとして用いて上記基板領域内に低濃度の第2導電型不純物を導入し、上記半導体基板内の上記ゲート電極の両側方に位置する領域に低濃度ソース・ドレイン用不純物拡散領域を形成する工程をさらに備え、上記第4の工程では、上記ゲート電極をマスクとして用いて上記基板領域内に炭素を導入することを特徴とする半導体装置の製造方法。

【請求項16】請求項15記載の半導体装置の製造方法において、上記第2の工程の後上記第3の工程の前に、上記ゲート電極をマスクとして用いて上記基板領域内に第1導電型不純物を導入し、上記基板領域内の上記低濃度ソース・ドレイン用不純物拡散領域の下方かつ上記低濃度ソース・ドレイン領域と隣接する領域にポケット領域を形成する工程をさらに備えていることを特徴とする半導体装置

の製造方法。

【請求項17】半導体基板内に第1導電型の基板領域を形成する第1の工程と、上記半導体基板内にしきい値制御レベルの不純物を導入し、上記半導体基板内の表面付近の領域にチャンネル用不純物拡散領域を形成する第2の工程と、上記第2の工程の後又は前に、上記半導体基板内に炭素を導入し、上記半導体基板内の上記チャンネル用不純物拡散領域とオーバーラップする領域に炭素ドープ領域を形成する第3の工程と、上記チャンネル用不純物拡散領域の上にゲート絶縁膜及びゲート電極を形成する第4の工程と、少なくとも上記ゲート電極をマスクとして用いて上記半導体基板内に第2導電型不純物を導入し、上記半導体基板内の上記ゲート電極の両側方に位置する領域にソース・ドレイン用不純物拡散領域を形成する第5の工程と、上記半導体基板の熱処理を行い、上記各不純物拡散領域に導入された不純物を活性化させる第6の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項18】請求項17記載の半導体装置の製造方法において、上記第3の工程では、上記炭素ドープ領域が上記半導体基板の表面から離れて形成されるような加速エネルギーで炭素イオンを注入することを特徴とする半導体装置の製造方法。

【請求項19】半導体基板上に炭素を含む半導体単結晶をエピタキシャル成長させて炭素ドープエピ層を形成する第1の工程と、上記炭素ドープエピ層の上に半導体単結晶をエピタキシャル成長させて表面エピ層を形成する第2の工程と、上記表面エピ層と上記炭素ドープエピ層の少なくとも一部を含む領域とにしきい値制御レベルの不純物イオンを導入することによりチャンネル用不純物拡散領域を形成する第3の工程と、上記チャンネル用不純物拡散領域の上にゲート絶縁膜及びゲート電極を形成する第4の工程と、少なくとも上記ゲート電極をマスクとして用いて上記表面エピ層及び上記炭素ドープエピ層内に第2導電型不純物を導入し、上記表面エピ層及び上記炭素ドープエピ層内の上記ゲート電極の両側方に位置する領域にソース・ドレイン用不純物拡散領域を形成する第5の工程と、上記半導体基板の熱処理を行い、上記各不純物拡散領域に導入された不純物を活性化させる第6の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項20】半導体基板内に第1導電型不純物イオンを注入してウエル用不純物拡散領域を形成する第1の工程と、上記半導体基板内にしきい値制御レベルの不純物を導入し、上記半導体基板の表面付近の領域にチャンネル用不純物拡散領域を形成する第2の工程と、上記第2の工程の後又は前に、上記半導体基板内に炭素イオンの注入を行って、上記ウエル用不純物拡散領域の奥方の一部を含みかつ上記チャンネル用不純物拡散領域とは離れた領域に炭素ドープ領域を形成する第3の工程と、上記チャンネル用不純物拡散領域の上にゲート絶縁膜及びゲート電極を形成する第4の工程と、少なくとも上記ゲート電極をマスクとして用いて上記半導体基板内に第2導電型不純物を導入し、上記半導体基板内の上記ゲート電極の両側方に位置する領域にソース・ドレイン用不純物拡散領域を形成する第5の工程と、上記半導体基板の熱処理を行い、上記各不純物拡散領域に導入された不純物を活性化させる第6の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項21】請求項20記載の半導体装置の製造方法において、上記炭素ドープ領域内の炭素濃度が最大となる位置は、上記ウエル用不純物拡散領域内の第1導電型不純物濃度が最大となる位置よりも上方にあることを特徴とする半導体装置の製造方法。

【請求項22】半導体基板上に炭素がドープされた半導体単結晶をエピタキシャル成長させて炭素ドープエピ層を形成する第1の工程と、上記炭素ドープエピ層の上に半導体単結晶をエピタキシャル成長させて表面エピ層を形成する第2の工程と、上記表面エピ層と上記炭素ドープエピ層と上記半導体基板の一部とに亘る領域に第1導電型の不純物イオンを注入してウエル用不純物拡散領域を形成する第3の工程と、上記表面エピ層の上部にしきい値制御レベルの不純物イオンを注入して、チャンネル用不純物拡散領域を形成する第4の工程と、上記チャンネル用不純物拡散領域の上にゲート絶縁膜及びゲート電極を形成する第5の工程と、少なくとも上記ゲート電極をマスクとして用いて上記表面エピ層内に第2導電型不純物を導入し、上記表面エピ層内の上記ゲート電極の両側方に位置する領域にソース・ドレイン用不純物拡散領域を形成する第6の工程と、上記半導体基板の熱処理を行い、上記各不純物拡散領域に導入された不純物を活性化させる第7の工程とを備えていることを特徴とする半導体装置の製造方法。

詳細な説明

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】**本発明は、微細化に応じて短チャネル効果等を抑制しうる半導体装置及びその製造方法とを提供するものである。

**【0002】**

**【従来の技術】**近年、高密度の半導体装置いわゆるLSIの開発において、構成要素であるトランジスタ等の半導体素子の微細化が益々求められている。ここで、半導体素子例えばMOSTランジスタの微細化を進めるには、各世代におけるMOSTランジスタ内のゲート長等の各部の寸法をスケールリング則に従って縮小していくのであるが、不純物イオンの注入によって形成されるソース・ドレイン領域等の不純物拡散層の深さをゲート長に比例して浅くしていくのは困難である。そのため、ゲート長の縮小が進行するにつれて、しきい値電圧の低下やパンチスルーの発生等のいわゆる短チャネル効果等の問題が生じる。そこで、この短チャネル効果を抑制するために、例えば半導体基板の不純物濃度を増加させる等の手段が講じられているが、不純物拡散層の深さを浅くできないと短チャネル効果を根本的に解消することは困難である。

**【0003】**そこで、従来より、ソース・ドレイン領域の深さをスケールリング則にしたがった深さに近付けるべく、MOSTランジスタの構造やその製造方法に関していくつかの提案がなされている。

**【0004】**以下、図面を参照しながら、従来のMOSTランジスタの構造及び製造方法の一例について説明する。

**【0005】**図21(a)－(c)は、それぞれ従来のnチャネル型MOSTランジスタの構造の例を示すものであり、便宜上、図21(a)に示すトランジスタをシングルドレイン型、図21(b)に示すトランジスタをextension型、図21(c)に示すトランジスタをポケット付きextension型と呼ぶことにする。

**【0006】**図21(a)に示すように、シングルドレイン型のMOSTランジスタは、p型シリコン基板(p型ウエル)1と、p型シリコン基板1上に形成されたゲート絶縁膜4と、ゲート絶縁膜4上に形成されたn型ゲート電極5aと、n型ゲート電極5aを挟んでp型シリコン基板1内に形成されたn型ソース・ドレイン領域10aと、n型ゲート電極5aの直下方に位置するシリコン基板1内の領域に形成されたp型チャネル領域16aとにより構成されている。MOSTランジスタが微細化されてゲート長が短くなると、スケールリング則にしたがって、ソース・ドレイン領域10aの深さを浅くし、p型シリコン基板1のp型不純物濃度を増加すれば、短チャネル効果は抑制できるはずである。

**【0007】**また、図21(b)に示すextension型のMOSTランジスタは、上述の図21(a)に示すトランジスタの構造に加えて、各n型ソース・ドレイン領域10aとp型チャネル領域16aとの間に低濃度のn型不純物を導入して形成されたn型低濃度ソース・ドレイン領域(n型extension)12aを備えている。このように、n型ソース・ドレイン領域10aよりも浅いn型低濃度ソース・ドレイン領域12a(n型extension)をn型ソース・ドレイン領域10aの内側に設けることにより、シングルゲートドレイン型のMOSTランジスタよりも短チャネル効果を改善することができる利点がある。

**【0008】**また、図21(c)に示すポケット付きextension型のMOSTランジスタは、上記図21(b)に示すextension型MOSTランジスタの構成に加えて、n型低濃度ソース・ドレイン領域(n型extension)12aの下方にp型不純物を導入して形成されたパンチスルーを抑制するためのp型ポケット領域15aを備えている。このように、n型低濃度ソース・ドレイン領域12a(n型extension)の下にp型ポケット領域15aを備えていることで、n型ソース・ドレイン領域10aからの空乏層の伸びを抑えることが可能となり、パンチスルーを抑制できるので、さらに短チャネル効果を抑制することが可能である。

**【0009】**さらに、これらのMOSTランジスタが形成されるシリコン基板は、通常レトログレードウエルと呼ばれるウエル構造を採用することが多い。レトログレードウエルは、シリコン基板の深くに不純物濃度のピークを持ち、シリコン基板表面では不純物濃度の低いウエルであり、通常、高エネルギーのイオン注入によって形成される。レトログレードウエル構造を採用することにより、MOSTランジスタ形成領域近辺の不純物濃度を増加させることなくウエルのシート抵抗を下げることもできるので、ラッチアップ耐性を向上することができる。

**【0010】**図22(a)－(f)は、従来のnチャネル型MOSTランジスタの製造方法の1例を示すものであり、特に、ここではポケット付きextension型MOSTランジスタ(図21(c)参照)の製造方法の例を示す。

【0011】図22(a)に示すように、p型シリコン基板1にホウ素イオンを注入し、ウエル用不純物拡散領域2を形成する。注入条件は、加速エネルギーが300-2000keVで、注入量が $1 \times 10^{13} \sim 1 \times 10^{14} \text{cm}^{-2}$ である。このようなエネルギー範囲で注入されると、ウエル用不純物拡散領域2は上述のようないわゆるレトログレードウエルとなる。次に、ウエル用不純物拡散領域2内の表面付近の領域にホウ素イオンを注入し、チャネル用不純物拡散領域16を形成する。このときの注入条件は、加速エネルギーが20-60keVで、注入量が $4-6 \times 10^{12} \text{cm}^{-2}$ である。

【0012】次に、図22(b)に示すように、p型シリコン基板1の表面を酸化して厚みが8-12nmのゲート絶縁膜4を形成する。

【0013】次に、図22(c)に示すように、基板の全面上に200-300nmのポリシリコン膜を堆積した後、通常的光エッチング工程を経てゲート電極5を形成する。

【0014】次に、図22(d)に示すように、ゲート電極5をマスクとして用い、p型ウエル2a内のゲート電極5の両側方に位置する領域に低濃度の砒素イオンを注入し、低濃度ソース・ドレイン用不純物拡散領域12を形成する。注入条件は、加速エネルギーが10-30keVで、注入量が $1-5 \times 10^{14} \text{cm}^{-2}$ である。また、同様にゲート電極5をマスクとして用い、低濃度ソース・ドレイン用不純物拡散領域12の下方の領域に弗化ホウ素イオンを注入し、ポケット用不純物拡散領域15を形成する。このときの注入条件は、加速エネルギーが80-120keVで、注入量が $1-4 \times 10^{13} \text{cm}^{-2}$ である。

【0015】次に、図22(e)に示すように、ゲート電極5の両側面上にサイドウォール7を形成する。

【0016】次に、図22(f)に示すように、ゲート電極5及びサイドウォール7をマスクとして用い、ゲート電極5と、p型ウエル2a内のゲート電極5の両側方に位置する領域とに高濃度のヒ素イオンを注入し、ソース・ドレイン用不純物拡散領域(図示せず)を形成する。次に、上記各工程で導入された不純物を活性化し結晶欠陥を回復させるため850°C、30分の熱処理を行い、低抵抗のn型ゲート電極5aを形成するとともに、p型シリコン基板1内に、p型ウエル2aと、n型ソース・ドレイン領域16aと、n型低濃度ソース・ドレイン領域12a(n型extension)と、p型ポケット領域15aと、p型チャネル領域16aとを形成する。ただし、サイドウォール7の形成時に高温でのCVDによってシリコン酸化膜を堆積する場合には、その時まで導入された不純物は活性化される。その場合には、図22(e)に示す工程で、p型ウエル2a、n型低濃度ソース・ドレイン領域12a、p型ポケット領域15aが形成される。そして、図22(f)に示す工程で、p型ウエル2a、n型低濃度ソース・ドレイン領域12a、p型ポケット領域15a内の不純物が再び拡散する。

【0017】なお、図22(d)における弗化ホウ素イオンの注入を省略すれば、図21(b)に示すextension型MOSTランジスタが得られ、弗化ホウ素イオンの注入と砒素イオンの注入とを省略すれば、図21(c)に示すシングルドレイン型MOSTランジスタが得られる。

【0018】

【発明が解決しようとする課題】しかしながら、上記従来のMOS型半導体装置においては、以下に述べるような問題があった。

【0019】(1) ソース・ドレイン領域を形成するために、nチャンネル型MOSTランジスタの場合にはn型の不純物イオンを、pチャンネル型MOSTランジスタの場合にはp型の不純物を注入した後、不純物を活性化するために熱処理を行うが、注入時に発生した点欠陥(空孔や格子間シリコン)によって、不純物が増速拡散するため、所望の浅い接合が得られない。また、ゲート長の小さいデバイスにおいては、注入時に発生した格子間シリコンがゲート酸化膜に向かって拡散し格子間シリコンの濃度勾配が形成されるため、チャネル領域の基板表面の不純物は表面に向かって移流し、いわゆる逆短チャネル効果を生じさせ、しきい値電圧を変化させる。

【0020】(2) 同じ理由で、低濃度ソース・ドレイン領域(extension)についても、所望の浅い接合が得られない。また、ポケット領域に関しても同様に、不純物イオンの注入後における熱処理の際、イオン注入時に発生した点欠陥によって不純物が増速拡散しその分布領域が拡大されるため、効果的にパンチスルーを抑制することが困難である。特に、低濃度ソース・ドレイン領域やポケット領域の形成後に形成されるサイドウォールを形成する際に、通常CVD法によって700°Cから850°Cの温度で数時間かけてシリコン酸化膜を堆積する場合には、この工程で不純物が増速拡散する距離が大きく、所望のランジスタ構造を実現することは困難である。また、ソース・ドレイン領域形成の場合と同様に、ゲート長の小さいデバイスにおいては、注入時に発生した格子間シリコンがゲート酸化膜に向か



って拡散し格子間シリコンの濃度勾配が形成されるため、チャネル領域の基板表面の不純物は表面に向かって移流し、いわゆる逆短チャネル効果を生じさせ、しきい値電圧を変化させる。

【0021】(3) チャネル領域を形成するために、n型あるいはp型の不純物イオンを注入した後、ゲート酸化工程や不純物の活性化のための熱処理を行うが、チャネル領域用の不純物注入時に発生した点欠陥によって、不純物が増速拡散しその分布領域が広がりをもつため、深さ方向に急峻なプロファイルを得ることが難しい。そのために、半導体装置の微細化に伴い、あらかじめ設定されたしきい値電圧を正確に実現することが困難になっていく。特に、ウエルとしてレトログレードウエル構造を採用している場合には、ウエルを形成するために高エネルギーでイオン注入を行うと、半導体基板深くに点欠陥(空孔と格子間シリコン)が発生する。この点欠陥のうち格子間シリコンは、その後の熱処理によって半導体基板表面に向かって拡散し濃度勾配が形成されるため、チャネル領域の基板表面の不純物は表面に向かって移流し、チャネル領域の半導体基板表面における不純物濃度が高くなり、しきい値電圧が変化する。

【0022】本発明は斯かる問題に鑑みてなされたものであり、その目的は、ソース・ドレイン領域等の不純物拡散層の深さ方向の広がりを抑制する手段を講ずることにより、正確なしきい値電圧を有しながら微細化されたトランジスタを搭載した半導体装置及びその製造方法を提供することにある。

【0023】

【課題を解決するための手段】上記目的を達成するために、本発明では、請求項1-11に記載される半導体装置に関する手段と、請求項12-22に記載される半導体装置の製造方法に関する手段とを講じている。

【0024】本発明の第1の半導体装置は、請求項1に記載されるように、半導体基板と、上記半導体基板内に形成された第1導電型の基板領域と、上記半導体基板上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成されたゲート電極と、上記半導体基板内の上記ゲート電極の両側方に位置する領域に形成された第2導電型のソース・ドレイン領域と、上記半導体基板内の少なくとも上記ソース・ドレイン領域とオーバーラップする領域に形成された炭素ドーブ領域とを備えている。

【0025】これにより、ソース・ドレイン領域内の炭素ドーブ領域とオーバーラップする領域では、炭素によって半導体基板を構成する半導体の格子間原子がトラップされる。したがって、ソース・ドレイン領域内の格子間原子の濃度が薄くなり、格子間原子とのペアを構成することにより拡散する第2導電型不純物の拡散が抑制される。その結果、半導体装置の微細化に伴い現れやすくなる短チャネル効果を確実に防止することができる。また、ソース・ドレイン領域の深さ方向への広がりが抑制され、半導体装置のゲート長の微細化に応じスケールリング則に沿った深さ方向の微細化が可能となる。

【0026】請求項2に記載されるように、請求項1において、上記炭素ドーブ領域は、上記ソース・ドレイン領域の内部にのみ形成されていることが好ましい。

【0027】これにより、ソース・ドレイン領域と基板領域との間のpn接合部に炭素が導入されていないので、接合リークの増大を確実に防止することができる。

【0028】本発明の第2の半導体装置は、請求項3に記載されるように、半導体基板と、上記半導体基板内に形成された第1導電型の基板領域と、上記半導体基板上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成されたゲート電極と、上記半導体基板内の上記ゲート電極の両側方に位置する領域に形成された第2導電型のソース・ドレイン領域と、上記基板領域内の上記ゲート電極直下に位置する領域と上記ソース・ドレイン領域との間の領域に形成された第2導電型の低濃度ソース・ドレイン領域と、少なくとも上記低濃度ソース・ドレイン領域とオーバーラップする領域に形成された炭素ドーブ領域とを備えている。

【0029】これにより、低濃度ソース・ドレイン領域に炭素が導入されているので、上述の作用により低濃度ソース・ドレイン領域の広がりが抑制され、半導体装置の微細化に伴い現れやすくなる短チャネル効果を確実に防止することができる。また、ソース・ドレイン領域や低濃度ソース・ドレイン領域内の過剰な格子間原子のゲート絶縁膜方向への濃度勾配を抑制することができるので、逆短チャネル効果の発生を抑制することができる。

【0030】請求項4に記載されるように、請求項3において、上記低濃度ソース・ドレイン領域の下方で低濃度ソース・ドレイン領域と接する領域に形成された第1導電型のポケット領域をさらに備え、上記炭素ドーブ領域が上記ポケット領域の一部に亘って形成されている構成とすることができる。

【0031】これにより、ポケット領域における不純物分布の広がりを抑制できる。したがって、請求項3

の作用効果に加えて、ポケット領域による短チャネル効果の抑制と、拡散容量の増大の抑制とを図ることができる。

【0032】請求項5に記載されるように、請求項3において、上記炭素ドープ領域は、上記低濃度ソース・ドレイン領域の内部にのみ形成されていることが好ましい。

【0033】これにより、低濃度ソース・ドレイン領域と基板領域との間のpn接合部に炭素が導入されていないので、接合リークの増大を確実に防止することができる。

【0034】請求項6に記載されるように、請求項5において、上記低濃度ソース・ドレイン領域の下方で低濃度ソース・ドレイン領域と接する領域に形成された第1導電型のポケット領域をさらに備えることができる。

【0035】これにより、請求項4と同様の作用効果を得ることができる。

【0036】本発明の第3の半導体装置は、請求項7に記載されるように、半導体基板と、上記半導体基板内に形成された第1導電型の基板領域と、上記半導体基板上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成されたゲート電極と、上記半導体基板内の上記ゲート電極の両側方に位置する領域に形成された第2導電型のソース・ドレイン領域と、上記半導体基板内の上記ゲート電極直下方に位置する領域に形成されたしきい値制御レベルの不純物を含むチャネル領域と、少なくとも上記チャネル領域とオーバーラップする領域に形成された炭素ドープ領域とを備えている。

【0037】これにより、チャネル領域のゲート絶縁膜方向への不純物分布の広がりを抑制することができるので、深さ方向への急峻な不純物分布が得られ、微細化された半導体装置において、飽和電流値を高く維持することができる。また、チャネル領域に導入された炭素によりソース・ドレイン領域で発生する過剰な格子間原子のゲート絶縁膜方向への濃度勾配が抑制されるので、基板表面付近の不純物濃度が過剰に高くなるのを防止することができ、逆短チャネル効果の発生を抑制することができる。

【0038】請求項8に記載されるように、請求項7において、上記炭素ドープ領域は、上記チャネル領域の内部にのみ形成されていることが好ましい。

【0039】これにより、pn接合部に炭素が導入されることがないので、接合リークの増大を確実に防止することができる。

【0040】請求項9に記載されるように、請求項8において、上記炭素ドープ領域は、上記ゲート絶縁膜とは離れていることが好ましい。

【0041】これにより、ゲート絶縁膜が酸化膜で構成されている場合にも、酸化膜中に炭素が取り込まれる虞れがなくなる。したがって、ゲート絶縁膜の耐圧の劣化を確実に防止しつつ、請求項8の作用効果を得ることができる。

【0042】本発明の第4の半導体装置は、請求項10に記載されるように、半導体基板と、上記半導体基板内に形成された第1導電型のウエル領域と、上記ウエル領域の上方かつ上記半導体基板の上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成されたゲート電極と、上記半導体基板内の上記ゲート電極の両側方に位置する領域に上記ウエル領域と下端で接するように形成された第2導電型のソース・ドレイン領域と、上記半導体基板内の上記ソース・ドレイン間に位置する領域に上記ウエル領域と下端で接するように形成され、しきい値制御レベルの不純物を含むチャネル領域と、上記ウエル領域内の奥方の一部を含みかつ上記チャネル領域及びソース・ドレイン領域とは離れた領域に形成された炭素ドープ領域とを備えている。

【0043】これにより、ウエル領域内の不純物濃度が最大となる領域付近で発生する格子間原子の基板表面への拡散が抑制されるので、チャネル領域近傍における格子間原子濃度の傾きを抑制することができる。したがって、チャネル領域における深さ方向への不純物分布を急峻に保つことができ、微細化された半導体装置において、逆短チャネル効果の発生や飽和電流値の減小を抑制することができる。

【0044】請求項11に記載されるように、請求項10において、上記炭素ドープ領域の炭素濃度のピーク位置が、上記ウエル領域の第1導電型不純物濃度のピーク位置よりも浅いことが好ましい。

【0045】これにより、ウエル領域内の格子間原子のチャネル領域方向への拡散をより確実に抑制することができる。

【0046】本発明の第1の半導体装置の製造方法は、請求項12に記載されるように、半導体基板内に第1導電型の基板領域を形成する第1の工程と、上記基板領域の上方かつ上記半導体基板の上

にゲート絶縁膜及びゲート電極を形成する第2の工程と、少なくとも上記ゲート電極をマスクとして用いて上記半導体基板内に第2導電型不純物を導入し、上記半導体基板内の上記基板領域の上方かつ上記ゲート電極の両側方に位置する領域にソース・ドレイン用不純物拡散領域を形成する第3の工程と、上記第3の工程の後又は前に、少なくとも上記ゲート電極をマスクとして用いて上記半導体基板内に炭素を導入し、上記ソース・ドレイン用不純物拡散領域とオーバーラップする領域に炭素ドーピング領域を形成する第4の工程と、上記半導体基板の熱処理を行って、少なくとも上記ソース・ドレイン用不純物拡散領域内の第2導電型不純物を活性化させる第5の工程とを備えている。

【0047】この方法により、第5の工程においてソース・ドレイン用不純物拡散領域内の第2導電型不純物を活性化させる際に、炭素の存在により、上述の作用によって第2導電型不純物の拡散が抑制される。すなわち、微細な半導体装置を形成する場合にも、形成されるソース・ドレイン領域の不純物濃度を濃くしその深さを浅くすることが可能となり、横方向だけでなく深さ方向にも微細化され、かつ短チャネル効果の小さい半導体装置が形成される。

【0048】請求項13に記載されるように、請求項12において、上記第4の工程では、上記ソース・ドレイン用不純物拡散領域の内部のみに上記炭素ドーピング領域を形成することが好ましい。

【0049】この方法により、接合リークの小さい半導体装置が確実に得られる。

【0050】請求項14に記載されるように、請求項12において、上記第2の工程の後上記第3の工程の前に、上記ゲート電極の両側面上にサイドウォールを形成する工程をさらに備え、上記第3の工程では、上記ゲート電極及び上記サイドウォールをマスクとして用いて上記基板領域内に第2導電型不純物を導入し、上記第4の工程では、上記ゲート電極及び上記サイドウォールをマスクとして用いて上記基板領域内に炭素を導入することができる。

【0051】この方法により、半導体装置の種類等に応じてチャネル長さを適宜調整することができる。

【0052】請求項15に記載されるように、請求項13において、上記第2の工程の後上記第3の工程の前に、上記ゲート電極をマスクとして用いて上記基板領域内に低濃度の第2導電型不純物を導入し、上記半導体基板内の上記ゲート電極の両側方に位置する領域に低濃度ソース・ドレイン用不純物拡散領域を形成する工程をさらに備え、上記第4の工程では、上記ゲート電極をマスクとして用いて上記基板領域内に炭素を導入することができる。

【0053】この方法により、低濃度ソース・ドレイン用不純物拡散領域及びソース・ドレイン用不純物拡散領域に炭素が導入されているので、第5の工程における活性化のための熱処理の際、形成されるソース・ドレイン領域及び低濃度ソース・ドレイン領域の横方向及び縦方向への不純物分布の広がりが抑制されるので、短チャネル効果及び逆短チャネル効果の小さい半導体装置が得られる。また、過剰な格子間原子のゲート絶縁膜方向への濃度勾配も抑制されるので、逆短チャネル効果の発生の少ない半導体装置が得られる。

【0054】請求項16に記載されるように、請求項15において、上記第2の工程の後上記第3の工程の前に、上記ゲート電極をマスクとして用いて上記基板領域内に第1導電型不純物を導入し、上記基板領域内の上記低濃度ソース・ドレイン用不純物拡散領域の下方かつ上記低濃度ソース・ドレイン領域と隣接する領域にポケット領域を形成する工程をさらに備えることができる。

【0055】この方法により、さらに短チャネル効果の小さい、かつ拡散容量の小さい半導体装置が形成される。

【0056】本発明の第2の半導体装置の製造方法は、請求項17に記載されるように、半導体基板内に第1導電型の基板領域を形成する第1の工程と、上記半導体基板内にしきい値制御レベルの不純物を導入し、上記半導体基板内の表面付近の領域にチャネル用不純物拡散領域を形成する第2の工程と、上記第2の工程の後又は前に、上記半導体基板内に炭素を導入し、上記半導体基板内の上記チャネル用不純物拡散領域とオーバーラップする領域に炭素ドーピング領域を形成する第3の工程と、上記チャネル用不純物拡散領域の上にゲート絶縁膜及びゲート電極を形成する第4の工程と、少なくとも上記ゲート電極をマスクとして用いて上記半導体基板内に第2導電型不純物を導入し、上記半導体基板内の上記ゲート電極の両側方に位置する領域にソース・ドレイン用不純物拡散領域を形成する第5の工程と、上記半導体基板の熱処理を行い、上記各不純物拡散領域に導入された不純物を活性化させる第6の工程とを備えている。

【0057】この方法により、チャネル用不純物拡散領域に炭素が導入されているので、第6の工程の際、形成されるチャネル領域の深さ方向への不純物分布の広がりが抑制され、急峻な濃度分布を持

ったチャネル領域が形成される。したがって、微細な半導体装置を形成する場合にも、飽和電流値の大きい、かつ短チャネル効果の小さい半導体装置が形成される。

【0058】請求項18に記載されるように、請求項17において、上記第3の工程では、上記炭素ドープ領域が上記半導体基板の表面から離れて形成されるような加速エネルギーで炭素イオンを注入することが好ましい。

【0059】この方法により、第6の工程等において、炭素がゲート絶縁膜に侵入する虞れがなくなる。したがって、酸化膜で構成されたゲート絶縁膜を有する半導体装置においても、ゲート絶縁膜の耐圧の高い半導体装置が形成される。

【0060】本発明の第3の半導体装置の製造方法は、請求項19に記載されるように、半導体基板上に炭素を含む半導体単結晶をエピタキシャル成長させて炭素ドープエピ層を形成する第1の工程と、上記炭素ドープエピ層の上に半導体単結晶をエピタキシャル成長させて表面エピ層を形成する第2の工程と、上記表面エピ層と上記炭素ドープエピ層の少なくとも一部を含む領域とにしきい値制御レベルの不純物イオンを導入することによりチャネル用不純物拡散領域を形成する第3の工程と、上記チャネル用不純物拡散領域の上にゲート絶縁膜及びゲート電極を形成する第4の工程と、少なくとも上記ゲート電極をマスクとして用いて上記表面エピ層及び上記炭素ドープエピ層内に第2導電型不純物を導入し、上記表面エピ層及び上記炭素ドープエピ層内の上記ゲート電極の両側方に位置する領域にソース・ドレイン用不純物拡散領域を形成する第5の工程と、上記半導体基板の熱処理を行い、上記各不純物拡散領域に導入された不純物を活性化させる第6の工程とを備えている。

【0061】この方法により、炭素ドープエピ層とゲート絶縁膜との間には、炭素が導入されていない表面エピ層が存在することになる。したがって、第6の工程等において、炭素がゲート絶縁膜に侵入するのが確実に防止され、微細な半導体装置を形成する場合にも、短チャネル効果、逆短チャネル効果が小さく飽和電流値が大きい、かつゲート絶縁膜の耐圧性の良好な半導体装置が確実に得られる。

【0062】本発明の第4の半導体装置の製造方法は、請求項20に記載されるように、半導体基板内に第1導電型不純物イオンを注入してウエル用不純物拡散領域を形成する第1の工程と、上記半導体基板内にしきい値制御レベルの不純物を導入し、上記半導体基板の表面付近の領域にチャネル用不純物拡散領域を形成する第2の工程と、上記第2の工程の後又は前に、上記半導体基板内に炭素イオンの注入を行って、上記ウエル用不純物拡散領域の奥方の一部を含みかつ上記チャネル用不純物拡散領域とは離れた領域に炭素ドープ領域を形成する第3の工程と、上記チャネル用不純物拡散領域の上にゲート絶縁膜及びゲート電極を形成する第4の工程と、少なくとも上記ゲート電極をマスクとして用いて上記半導体基板内に第2導電型不純物を導入し、上記半導体基板内の上記ゲート電極の両側方に位置する領域にソース・ドレイン用不純物拡散領域を形成する第5の工程と、上記半導体基板の熱処理を行い、上記各不純物拡散領域に導入された不純物を活性化させる第6の工程とを備えている。

【0063】この方法により、ウエル用不純物拡散領域の奥方の一部に炭素ドープ領域が形成されるので、第6の工程において、ウエル領域に存在する過剰な格子間原子のチャネル方向への拡散が抑制される。したがって、微細な半導体装置を形成する場合にも、飽和電流値の大きい、かつ逆短チャネル効果のほとんどない半導体装置が形成される。

【0064】請求項21に記載されるように、請求項20において、上記炭素ドープ領域内の炭素濃度が最大となる位置は、上記ウエル用不純物拡散領域内の第1導電型不純物濃度が最大となる位置よりも上方にある。

【0065】この方法により、請求項20の作用効果が確実に得られる。

【0066】本発明の第5の半導体装置の製造方法は、請求項22に記載されるように、半導体基板上に炭素がドープされた半導体単結晶をエピタキシャル成長させて炭素ドープエピ層を形成する第1の工程と、上記炭素ドープエピ層の上に半導体単結晶をエピタキシャル成長させて表面エピ層を形成する第2の工程と、上記表面エピ層と上記炭素ドープエピ層と上記半導体基板の一部とに亘る領域に第1導電型の不純物イオンを注入してウエル用不純物拡散領域を形成する第3の工程と、上記表面エピ層の上部にしきい値制御レベルの不純物イオンを注入して、チャネル用不純物拡散領域を形成する第4の工程と、上記チャネル用不純物拡散領域の上にゲート絶縁膜及びゲート電極を形成する第5の工程と、少なくとも上記ゲート電極をマスクとして用いて上記表面エピ層内に第2導電型不純物を導入し、上記表面エピ層内の上記ゲート電極の両側方に位置する領域にソース・ドレイン用不純物

拡散領域を形成する第6の工程と、上記半導体基板の熱処理を行い、上記各不純物拡散領域に導入された不純物を活性化させる第7の工程とを備えている。

【0067】この方法により、半導体基板内における炭素の導入された領域の深さ方向の位置の制御を容易かつ正確に行うことができる。したがって、第7の工程において、炭素ドーピング層の存在によりウェル領域内の過剰な格子間原子がチャネル方向に拡散するのが確実に抑制され、微細な半導体装置を形成する場合にも、飽和電流値が大きく、逆短チャネル効果のほとんどない半導体装置が形成される。

【0068】

【発明の実施の形態】

(第1の実施形態)以下、電界効果型トランジスタに関する第1の実施形態について、図1及び図2(a)～(d)を参照しながら説明する。図1は炭素ドーピング領域を有するnチャネル型MOSTランジスタの断面図であり、図2(a)～(d)はその製造工程を示す断面図である。

【0069】図1に示すように、p型シリコン基板(又はp型ウェル)1の上には、シリコン酸化膜からなるゲート絶縁膜4と、ポリシリコン膜からなるゲート電極5aとが形成されており、このゲート電極5aの両側面上にはシリコン酸化膜からなるサイドウォール7が形成されている。さらに、p型シリコン基板1内のゲート電極5aの両側方に位置する領域には、高濃度のn型不純物を導入して形成されたn型ソース・ドレイン領域10aが形成されている。そして、本実施形態の特徴は、上記ソース・ドレイン領域10a内及びその周囲の領域に炭素ドーピング領域Rcdが形成されている点である。

【0070】一般に、シリコン基板中の炭素はシリコン基板中に発生した点欠陥である格子間シリコン原子をトラップする働きがあるので、炭素がドーピングされるとシリコン基板内における移動可能な格子間シリコン原子の数が低減する。一方、燐、砒素、ボロン等の不純物は、シリコン基板内では格子間シリコン原子とのペアによって拡散するため、シリコン基板内の炭素ドーピング領域では不純物の拡散が抑制される。したがって、本実施形態のように、炭素ドーピング領域Rcdがn型ソース・ドレイン領域10aの内部及びその周囲の領域に存在していれば、n型ソース・ドレイン領域10aの深さ方向及び横方向への拡散が効果的に抑制され、浅いソース・ドレイン領域10aの形成によって短チャネル効果を有効に抑制することができる。

【0071】また、炭素ドーピング領域Rcdは、n型ソース・ドレイン領域10aで発生する過剰な格子間シリコンのゲート酸化膜方向への濃度勾配をも抑制するので、逆短チャネル効果の発生を抑制することができる。

【0072】次に、本実施形態に係るnチャネル型MOSTランジスタの製造工程について説明する。

【0073】まず、図2(a)に示すように、p型シリコン基板1の表面を酸化して、厚み8～12nmのシリコン酸化膜からなるゲート絶縁膜4を形成する。次に、基板の全面上に厚み200～300nmのポリシリコン膜を堆積した後、通常の写真、エッチング工程を経てゲート電極5を形成する。

【0074】次に、図2(b)に示すように、シリコン酸化膜の堆積と異方性エッチングによるシリコン酸化膜のエッチバックとによりゲート電極5の両側面上にサイドウォール7を形成する。

【0075】次に、図2(c)に示すように、ゲート電極5とそのサイドウォール7をマスクとして用いて、ゲート電極5と、シリコン基板内のゲート電極の両側方に位置する領域とに砒素イオンを注入し、ソース・ドレイン用不純物拡散領域10を形成する。注入条件は、加速エネルギーが30～40keVで、注入量が $5 \times 10^{15} \text{cm}^{-2}$ 程度である。

【0076】次に、図2(d)に示すように、ゲート電極5とサイドウォール7とをマスクとして用いて、ゲート電極5と、シリコン基板1内のゲート電極5の両側方に位置する領域とに炭素イオンを注入し、炭素ドーピング領域Rcdを形成する。注入条件は、加速エネルギーが10～20keVで、注入量が $1 \times 10^{15} \text{cm}^{-2}$ 程度である( $3 \times 10^{14} \sim 2 \times 10^{15} \text{cm}^{-2}$ の範囲が好ましい)。このとき、炭素ドーピング領域Rcdは、砒素イオンがドーピングされたソース・ドレイン用不純物拡散領域10の内部とその周囲を囲む領域とに亘っている。

【0077】次に、図2(d)に示す状態で、不純物を活性化させ結晶欠陥を回復させるべく、850℃、30分間の熱処理を行って、低抵抗のn型ゲート電極5aと、n型ソース・ドレイン領域10aとを形成する。その際、砒素イオンが打ち込まれたソース・ドレイン用不純物拡散領域10と炭素ドーピング領域Rcdとがオーバーラップしているので、熱処理時における砒素の拡散が抑制され、n型ソース・ドレイン領域10aを浅くできる。すなわち、n型ソース・ドレイン領域10aにおける不純物濃度を高くしながら、ゲート長

の縮小に応じスケーリング則にしたがった寸法に近い寸法までn型ソース・ドレイン領域10aの深さを浅くしていくことが可能となる。

【0078】ただし、本実施形態及び後述の各実施形態において、活性化のための熱処理を行う時までにそれと同等の高温の処理が行われる場合には、その時までに導入された不純物は活性化されることがある。例えば、図2(b)に示す工程中で、サイドウォール7を形成する際、通常のCVD法によりシリコン酸化膜を全面に堆積すると、高温に長時間さらされる。この場合には、CVD工程も活性化のための熱処理として機能することになる。しかし、低温CVD法によるシリコン酸化膜を堆積する場合には、不純物は活性化されない。したがって、各請求項にいう熱処理とは、高温CVD法による処理等も含まれる概念である。

【0079】(第2の実施形態)次に、第2の実施形態について説明する。図3は、第2の実施形態におけるnチャネル型MOSトランジスタの断面図である。

【0080】同図に示すように、本実施形態に係るnチャネル型MOSトランジスタにおいては、第1の実施形態に係るトランジスタの炭素ドープ領域Rcdがn型ソース・ドレイン10aの内部のみに形成されている。

【0081】一般に、炭素ドープ領域Rcd内の炭素によってトラップされた格子間シリコン原子は、炭素とシリコン原子のクラスタを形成する。したがって、このようなクラスタがpn接合近辺(特に不純物濃度の低いp型シリコン基板側)に存在すると、空乏層が広がった場合にpn接合リークを増大させる虞れもある。すなわち、第1の実施形態のように、n型ソース・ドレイン領域10aとp型シリコン基板1(基板領域)との間のpn接合を炭素ドープ領域Rcdが内包していると、トランジスタの種類や使用条件によっては、接合リークを増大させることがないとはいえない。

【0082】そこで、本実施形態のように炭素ドープ領域Rcdがソース・ドレイン用不純物拡散領域10の内部に存在していることで、pn接合近辺でp型シリコン基板1側でのクラスタの発生を抑制することができ、pn接合リークを確実に抑制しつつ短チャネル特性を改善することができる。

【0083】なお、本実施形態に係るトランジスタの製造工程については説明を省略するが、図2(d)に示す工程で、炭素イオンの注入を行う際の加速エネルギーを少し弱めにするすることで、容易に実現できる。

【0084】(第3の実施形態)次に、第3の実施形態について説明する。図4は、第3の実施形態に係るnチャネル型MOSトランジスタの断面図である。

【0085】本実施形態に係るトランジスタは、上記第1の実施形態に係るトランジスタとは異なり、いわゆるLDD構造を有する。すなわち、高濃度の砒素が導入されたn型ソース・ドレイン領域10aとゲート電極5aの直下方に位置する領域(チャネル領域)との間に、低濃度のn型不純物を導入してなるn型低濃度ソース・ドレイン領域(n型extension)12aが設けられている。その他のMOSトランジスタの基本的な構成は上記第1の実施形態と同じである。そして、本実施形態の特徴部分は、n型低濃度ソース・ドレイン領域12aを包含する領域に炭素ソープと領域Rcdが形成されている点である。そして、この炭素ドープ領域Rcdは、高濃度のn型不純物がドープされたn型ソース・ドレイン領域10aの内部にも形成されている。

【0086】上述のように、炭素ソープと領域Rcd内では不純物の拡散が抑制される。本実施形態では、n型低濃度ソース・ドレイン領域12a内に炭素がドープされていることにより、n型低濃度ソース・ドレイン領域12aの深さ方向及び横方向への拡散が効果的に抑制され、短チャネル特性が改善される。

【0087】さらに、炭素ドープ領域Rcdはn型ソース・ドレイン領域10aとも一部重なるため、n型ソース・ドレインの深さ方向及び横方向への拡散をも抑制し、短チャネル特性がさらに改善される。

【0088】また、本実施形態では、炭素ドープ領域Rcd内の炭素が、n型低濃度ソース・ドレイン領域12aやn型ソース・ドレイン領域10aで発生する過剰な格子間シリコンのゲート酸化膜方向への濃度勾配を抑制する。したがって、格子間シリコンによってチャネル領域における基板表面付近の不純物濃度が過剰に高くなるのを有効に防止することができ、しきい値電圧が上昇する等の逆短チャネル効果の発生を抑制することができる。

【0089】次に、本実施形態に係るnチャネル型MOSトランジスタの製造工程について、図5(a)～(d)を参照しながら説明する。

【0090】まず、図5(a)に示すように、p型シリコン基板1の表面を酸化して、厚み8～12nmのシリコ



ン酸化膜からなるゲート絶縁膜4を形成する。次に、基板の全面上に厚み200-300nmのポリシリコン膜を堆積した後、通常のフォト、エッチング工程を経てゲート電極5を形成する。

【0091】次に、図5(b)に示すように、ゲート電極5をマスクとして用いて、ゲート電極5と、シリコン基板内のゲート電極5の両側方に位置する領域とに砒素イオンを注入しソース・ドレイン用不純物拡散領域10を形成する。注入条件は、加速エネルギーが10-30keVで、注入量が $1-5 \times 10^{14} \text{cm}^{-2}$ 程度である。

【0092】次に、図5(c)に示すように、ゲート電極5をマスクとして用いて、ゲート電極5と、シリコン基板1内のゲート電極5の両側方に位置する領域とに炭素イオンを注入し、炭素ドーピング領域Rcdを形成する。注入条件は、加速エネルギーが10-20keVで、注入量が $1 \times 10^{15} \text{cm}^{-2}$ 程度である( $3 \times 10^{14} - 2 \times 10^{15} \text{cm}^{-2}$ の範囲が好ましい)。このとき、炭素ドーピング領域Rcdは、砒素イオンがドーピングされたソース・ドレイン用不純物拡散領域10の内部とその周囲を囲む領域とに亘っている。

【0093】次に、図5(d)に示すように、シリコン酸化膜の堆積と異方性エッチングによるシリコン酸化膜のエッチバックとによりゲート電極5の両側面上にサイドウォール7を形成する。さらに、図5(d)に示す状態で、各不純物を活性化させ結晶欠陥を回復させるべく、850°C、30分間の熱処理を行って、低抵抗のn型ゲート電極5aと、n型ソース・ドレイン領域10aと、n型低濃度ソース・ドレイン領域(n型extension)12aとを形成する。その際、ソース・ドレイン用不純物拡散領域10と炭素ドーピング領域Rcdとが互いにオーバーラップしているので、上述の炭素による不純物の拡散を抑制する機能によって、n型低濃度ソース・ドレイン領域12aの深さ及び横方向への広がりが抑制される。したがって、短チャネル効果及び逆短チャネル効果を確実に抑制することができる。

【0094】ただし、上述のように、活性化のための熱処理を行う時までにそれと同等の高温の処理が行われる場合には、その時までに導入された不純物は活性化されるので、図5(d)に示す工程中で、サイドウォール7を形成する際、通常のCVD法によりシリコン酸化膜を全面に堆積すると、高温に長時間さらされる(例えば700-850°Cに数時間)。このような高温のCVDを用いる場合には、その時点でn型低濃度ソース・ドレイン領域12aが形成されるが、本実施形態では、炭素ドーピング領域Rcdが形成されているので、長時間高温にさらすCVD処理が行われても、n型低濃度ソース・ドレイン領域12aの不純物分布の広がりを十分抑制することができる。

【0095】(第4の実施形態)次に、第4の実施形態について説明する。図6は、本実施形態に係るLD構造のnチャネル型MOSTランジスタの断面図である。

【0096】同図に示すように、本実施形態に係るランジスタの基本的な構造は、上記第3の実施形態におけるランジスタの構造と同じである。ただし、本実施形態においては、炭素ドーピング領域Rcdは、n型低濃度ソース・ドレイン領域12aの内部とn型ソース・ドレイン領域10aの内部に亘って形成されている。

【0097】本実施形態では、上記第3の実施形態に比べ、炭素ドーピング領域Rcdが低濃度ソース・ドレイン領域12aと基板領域との間のpn接合部には存在しないので、上記第2の実施形態と同様の機能によってpn接合近辺におけるp型シリコン基板側でのクラスタの発生を抑制することができる。したがって、pn接合リークを抑制しつつ短チャネル特性を改善することができる。

【0098】なお、本実施形態に係るランジスタの製造工程の説明は省略するが、図5(c)に示す工程で、炭素イオンの注入を行う際の加速エネルギーを少し弱めにすることで、容易に実現できる。

【0099】(第5の実施形態)次に、第5の実施形態について説明する。図7は本実施形態に係るnチャネル型MOSTランジスタの断面図である。

【0100】同図に示すように、本実施形態に係るランジスタもn型低濃度ソース・ドレイン領域(n型extension)12aを備えている点では、上記第3、第4の実施形態に係るランジスタとの構造と同じである。ただし、本実施形態では、最終の仕上がり状態ではサイドウォールがなくなっており、かつゲート電極5aの上とn型ソース・ドレイン領域10aの上とに、それぞれ低抵抗のシリサイド層21a、21bが形成されている。そして、炭素ドーピング領域Rcdは、各シリサイド層21a、21bをマスクとする炭素イオンの注入によって形成されており、n型低濃度ソース・ドレイン領域12aとその周囲の領域のみに形成されている。

【0101】本実施形態では、短チャネル効果の抑制に加えて、ゲート電極及びn型ソース・ドレイン領域の低抵抗化を図ることができる。

【0102】(第6の実施形態)次に、第6の実施形態について説明する。図8は本実施形態に係るnチャ

ネル型MOSTランジスタの断面図である。

【0103】同図に示すように、本実施形態に係るランジスタの構造は、上記第5の実施形態に係るランジスタの構造と基本的に同じである。ただし、本実施形態では、炭素ドープ領域Rcdがn型低濃度ソース・ドレイン領域12aの内部のみに形成されており、n型低濃度ソース・ドレイン領域12aとシリコン基板1(基板領域)との間のpn接合部には炭素が導入されていない。したがって、上記第5の実施形態に比べて、接合リークの増大を回避できる利点がある。

【0104】特に、n型ソース・ドレイン領域10a内には炭素ドープ領域Rcdが形成されていないので、n型ソース・ドレイン領域10a内における不純物の拡散には影響を与えることなく、n型低濃度ソース・ドレイン領域12aの不純物の拡散のみを抑制したいときに有利な構造となる。

【0105】次に、図9(a)～(d)を参照しながら本実施形態に係るnチャネル型MOSTランジスタの製造方法について説明する。

【0106】まず、図9(a)に示すように、p型シリコン基板1の表面を酸化して、厚み8～12nmのシリコン酸化膜からなるゲート絶縁膜4を形成する。次に、基板の全面上に厚み200～300nmのポリシリコン膜を堆積した後、通常のフォト、エッチング工程を経てゲート電極5を形成する。次に、シリコン酸化膜の堆積と異方性エッチングによるシリコン酸化膜のエッチバックとによりゲート電極5の両側面上にサイドウォール7を形成する。

【0107】次に、ゲート電極5とそのサイドウォール7をマスクとして用いて、ゲート電極5と、シリコン基板内のゲート電極の両側方に位置する領域とに砒素イオンを注入し、ソース・ドレイン用不純物拡散領域10を形成する。注入条件は、加速エネルギーが30～40keVで、注入量が $5 \times 10^{15} \text{cm}^{-2}$ 程度である。

【0108】次に、図9(b)に示すように、サイドウォール7を選択的にオーバーエッチングして、サイドウォール7を後退させる。

【0109】次に、図9(c)に示すように、シリコン基板1の露出している面とゲート電極5の上とに高融点金属膜(例えばチタン膜)を形成した後シリサイド化させて、露出しているシリコンと反応させてシリサイド層を形成した後、チタン膜を除去し、さらに熱処理を行って、ゲート電極5の上とソース・ドレイン用不純物拡散領域10の上にシリサイド層21a、21bを形成する。

【0110】次に、図9(d)に示すように、サイドウォール7を除去した後、各シリサイド層21a、21bをマスクとして、基板内に低濃度のリンイオンを注入し、低濃度ソース・ドレイン用不純物拡散領域を形成する(図示せず)。注入条件は、加速エネルギーが10～30keVで、注入量が $1 \sim 5 \times 10^{14} \text{cm}^{-2}$ 程度である。さらに、各シリサイド層21a、21bをマスクとして、基板内に炭素イオンを注入し、炭素ドープ領域Rcdを形成する。注入条件は、加速エネルギーが10～20keVで、注入量が $1 \times 10^{15} \text{cm}^{-2}$ 程度である( $3 \times 10^{14} \sim 2 \times 10^{15} \text{cm}^{-2}$ の範囲が好ましい)。その後、各不純物を活性化させ結晶欠陥を回復させるべく、850℃、30分間の熱処理を行って、低抵抗のn型ゲート電極5aと、n型ソース・ドレイン領域10aと、n型低濃度ソース・ドレイン領域(n型extension)12aとを形成する。

【0111】以上の工程によって、n型低濃度ソース・ドレイン領域12aの内部のみに炭素ドープ領域Rcdを形成することができる。なお、上記第5の実施形態のごとく炭素ドープ領域Rcdがn型ソース・ドレイン領域10aに亘っていてもよい場合には、図9(b)に示すサイドウォールの後退処理は行う必要がない。

【0112】なお、本実施形態では、シリサイド化を行う際に高温に維持されるので、ゲート電極5内及びソース・ドレイン用不純物拡散領域10内の砒素が活性化される。

【0113】(第7の実施形態)次に、第7の実施形態について説明する。図10は、第7の実施形態に係るnチャネル型MOSTランジスタの断面図である。

【0114】同図に示すように、本実施形態に係るランジスタは、上記第3の実施形態に係るランジスタの構造(図4参照)に加えて、n型低濃度ソース・ドレイン領域(n型extension)12aの下方に形成されたp型ポケット領域15aを備えている。ただし、炭素ドープ領域Rcdが形成されている領域は上記第3の実施形態と同じであるので、p型ポケット領域15aの一部にも炭素がドープされている。

【0115】したがって、本実施形態では、上記第3の実施形態と同様の効果を発揮することができるに加えて、炭素ドープ領域Rcdがp型ポケット領域15aの一部と重なっているため、p型ポケット領域15aにおける不純物分布の広がりを抑えることができる。したがって、効果的に短チャネル効果を抑制し



た上で拡散容量の増加も抑制することができる。

【0116】なお、本実施形態における製造工程の説明は省略するが、従来の製造工程(図22(a)～(f)参照)における図22(d)に示す工程で、炭素イオンの注入を行うことにより、容易に実現できる。

【0117】(第8の実施形態)次に、第8の実施形態について説明する。図11は、本実施形態に係るnチャネル型MOSTランジスタの断面図である。

【0118】図11に示すように、p型シリコン基板1(あるいはp型ウエル)の上には、ゲート絶縁膜4とn型ゲート電極5aとが形成され、シリコン基板1内には、n型ソース・ドレイン領域10aが形成されている。さらに、シリコン基板1内のn型ゲート電極5aの直下方に位置する領域にしきい値制御レベルのp型不純物を導入してチャネル用p型半導体領域(以下、p型チャネル領域と呼ぶ)16aが形成されている。そして、本実施形態の特徴は、上記n型ソース・ドレイン領域10a及びチャネル領域16aを含み、かつ両者の下方の基板領域を含む領域に炭素を導入した炭素ドープ領域Rcdが形成されている。

【0119】上述のように、炭素ドープ領域Rcd中の炭素は不純物の拡散を抑制するので、本実施形態のように炭素ドープ領域Rcdがp型チャネル領域16aとn型ソース・ドレイン10aとを内包していれば、p型チャネル領域16aの不純物分布の広がりを抑えて急峻な深さ方向分布をもつp型チャネル領域16aが形成されると同時に、n型ソース・ドレイン領域10aの深さ方向及び横方向への拡散を効果的に抑制する。その結果、高い飽和電流値を確保しつつ短チャネル特性を改善することができる。

【0120】さらに、炭素ドープ領域Rcdは、n型ソース・ドレイン領域10aで発生する過剰な格子間シリコンのゲート酸化膜方向への濃度勾配を抑制するので、逆短チャネル効果の発生を抑制するという効果も発揮することができる。

【0121】本実施形態では、チャネル領域としてp型チャネル領域を例にしたが、n型チャネル領域の場合でも同様の効果を発揮することができる。

【0122】(第9の実施形態)次に、第9の実施形態について説明する。図12は、本実施形態に係るnチャネル型MOSTランジスタの断面図である。

【0123】同図に示すように、本実施形態に係るランジスタの構造は、上記第8の実施形態に係るランジスタの構造とほとんど同じである。ただし、図11に示す第8の実施形態では、ドープ領域Rcdはp型シリコン基板1の表面に接していたが、本実施形態においては、炭素ドープ領域Rcdはp型シリコン基板1の表面付近の領域を含まないように、つまりp型シリコン基板1の表面に接しないように形成されている。

【0124】通常、ゲート絶縁膜4は、p型シリコン基板1の表面を酸化して形成されるシリコン酸化膜によって構成されているが、上記第8の実施形態のごとく炭素ドープ領域Rcdがゲート絶縁膜4に接していると、酸化膜中に炭素が取り込まれ、ゲート酸化膜の耐圧が劣化することがある。したがって、本実施形態のごとく炭素ドープ領域Rcdがp型シリコン基板1の表面に接しないように形成されているので、ゲート酸化膜の耐圧を劣化することなく、上記第8の実施形態と同じ効果を発揮することができる。

【0125】ただし、ゲート絶縁膜がシリコン酸化膜以外の材料で構成されている場合には、炭素ドープ領域Rcdがp型シリコン基板1の表面に接していても、耐圧の劣化等を招くことはない。

【0126】次に、本実施形態に係るnチャネル型MOSTランジスタの製造工程について、図13(a)～(e)を参照しながら説明する。

【0127】図13(a)に示すように、p型シリコン基板1の表面付近の領域に、しきい値制御レベルの濃度のホウ素イオンを注入し、チャネル用不純物拡散領域16を形成する。注入条件は、加速エネルギーが20～60keVで、注入量が $4\sim6\times10^{12}\text{cm}^{-2}$ である。

【0128】次に、図13(b)に示すように、炭素イオンをp型シリコン基板1内に注入し、p型不純物が導入されたチャネル用不純物拡散領域16と一部重なりかつp型シリコン基板1の表面に接しないように炭素ドープ領域Rcdを形成する。このとき、炭素イオンの注入条件は、加速エネルギーが30keV程度で、注入量が $1\times10^{15}\text{cm}^{-2}$ 程度である( $3\times10^{14}\sim2\times10^{15}\text{cm}^{-2}$ の範囲が好ましい)。

【0129】次に、図13(c)に示すように、p型シリコン基板1の表面を酸化して、厚みが8～12nmのゲート絶縁膜4を形成する。

【0130】次に、図13(d)に示すように、全面に厚みが200～300nmのポリシリコン膜を堆積した後、通常の写真、エッチング工程を経てゲート電極5を形成する。次に、ゲート電極5の両側面上に

サイドウォール7を形成する。

【0131】次に、図13(e)に示すように、ゲート電極5及びサイドウォール7をマスクとして用い、ゲート電極5と、p型シリコン基板1内のゲート電極5の両側方に位置する領域とに高濃度の砒素イオンを注入し、ソース・ドレイン用不純物拡散領域10を形成する。このとき、砒素イオンが導入されたソース・ドレイン用不純物拡散領域10は炭素ドーピング領域Rcdよりも浅い。注入条件は、加速エネルギーが30～40keVで、注入量が $5 \times 10^{15} \text{cm}^{-2}$ 程度である。次に、導入された不純物を活性化し結晶欠陥を回復させるため850℃、30分の熱処理を行って、ゲート電極5を低抵抗のn型ゲート電極5aにするとともに、シリコン基板1内に、p型チャネル領域16aとn型ソース・ドレイン領域10aとを形成する。

【0132】ただし、図13(d)に示す工程で、通常のCVD法によりシリコン酸化膜の堆積を行う場合には、その時点でチャネル用不純物拡散領域16内のホウ素が活性化されかつ拡散するが、その場合にも炭素ドーピング領域Rcdが存在することで、上述の効果を発揮することができる。後述の第10～13の実施形態においても同様である。

【0133】(第10の実施形態)次に、第10の実施形態について説明する。図14は、本実施形態に係るnチャネル型MOSTランジスタの断面図である。

【0134】同図に示すように、p型シリコン基板1内にp型ウエル2aが形成されており、このp型ウエル2aの上に、シリコン単結晶のエピタキシャル成長と同時に炭素をドーピングして形成された炭素ドーピングエピ領域Rcdeが設けられている。そして、この炭素ドーピングエピ領域Rcdeの上に炭素を含まないシリコン単結晶からなる表面エピ層31が形成されている。さらに、表面エピ層31と炭素ドーピングエピ領域Rcdeとに亘って、p型チャネル領域16aと、n型ソース・ドレイン領域10aとが形成されている。その他の構成は、上記第9の実施形態と同じである。

【0135】本実施形態に係るランジスタは、炭素ドーピングエピ領域Rcdeが基板表面に接していない点で上記第9の実施形態に係るランジスタと本質的に同じ構造を有している。したがって、上述の第9の実施形態の効果と同じ効果を発揮することができる。

【0136】次に、本実施形態に係るnチャネル型MOSTランジスタの製造工程について、図15(a)～(f)を参照しながら説明する。

【0137】まず、図15(a)に示すように、p型シリコン基板1の上に、炭素をドーピングしながらシリコン単結晶をエピタキシャル成長させて、炭素ドーピングエピ領域Rcdeを形成する。

【0138】次に、図15(b)に示すように、炭素ドーピングエピ領域Rcdeの上に、炭素のドーピングを行わずにシリコン単結晶をエピタキシャル成長させて、表面エピ層31を形成する。

【0139】次に、図15(c)に示すように、表面エピ層31、炭素ドーピングエピ領域Rcde及び下方のp型シリコン基板1内にホウ素イオンを注入し、ウエル用不純物拡散領域2を形成する。このとき、注入条件は、加速エネルギーが300～2000keVで、注入量が $1 \times 10^{13} - 1 \times 10^{14} \text{cm}^{-2}$ である。ホウ素イオンがこのようなエネルギー範囲で注入されると、ウエル用不純物拡散領域2は、p型シリコン基板1の表面近傍で不純物濃度が低く、かつp型シリコン基板1の深いところに不純物濃度のピークがある不純物濃度プロファイルを有し、いわゆるレトログレードウエルとなる。次に、表面エピ層31全体と炭素ドーピングエピ領域Rcdeの一部とに亘る領域に、しきい値制御レベルの濃度のホウ素イオンを注入し、チャネル用不純物拡散領域16を形成する。注入条件は、加速エネルギーが20～60keVで、注入量が $4 - 6 \times 10^{12} \text{cm}^{-2}$ である。

【0140】次に、図15(d)に示すように、基板の表面を酸化して、厚みが8～12nmのゲート絶縁膜4を形成する。

【0141】次に、図15(e)に示すように、全面に厚みが200～300nmのポリシリコン膜を堆積した後、通常のフォトリソ、エッチング工程を経てゲート電極5を形成する。次に、ゲート電極5の両側面上にサイドウォール7を形成する。

【0142】次に、図15(f)に示すように、ゲート電極5とサイドウォール7をマスクとして用い、ゲート電極5と、表面エピ層31及び炭素ドーピングエピ領域Rcdeに亘る領域内でゲート電極5の両側方に位置する領域とに高濃度の砒素イオンを注入し、ソース・ドレイン用不純物拡散領域10を形成する。このとき、砒素イオンが導入されたソース・ドレイン用不純物拡散領域10の下端は炭素ドーピング領域Rcdの下端よりも上方にある。注入条件は、加速エネルギーが30～40keVで、注入量が $5 \times 10^{15} \text{cm}^{-2}$ 程度である。次に、導入された不純物を活性化し結晶欠陥を回復させるため850℃、30分の熱処理を

行って、ゲート電極5を低抵抗のn型ゲート電極5aにするとともに、シリコン基板1内に、p型ウエル2aと、p型チャンネル領域16aとn型ソース・ドレイン領域10aとを形成する。

【0143】本実施形態の製造方法によれば、上記第9の実施形態に比べ、炭素ドーピング領域Rcdを基板表面から離れるように形成することが容易かつ確実となる利点がある。

【0144】(第11の実施形態)次に、第11の実施形態について説明する。図16は、本実施形態に係るnチャンネル型MOSトランジスタの断面図である。

【0145】同図に示すように、本実施形態に係るトランジスタの構造は、上記第8の実施形態に係るトランジスタの構造(図11参照)とよく似ている。ただし、本実施形態では、p型チャンネル領域ではなくn型チャンネル領域17aが形成されており、かつ炭素ドーピング領域Rcdがn型チャンネル領域17aよりも浅く形成されている。

【0146】本実施形態によれば、以下のような効果が得られる。上述のように、炭素の存在により不純物の拡散が抑制されるので、本実施形態のように炭素ドーピング領域Rcdがn型チャンネル領域16aよりも浅く形成されていると、n型チャンネル領域17aの不純物分布の広がりを抑えて急峻な深さ方向分布をもつn型チャンネル領域17aが形成されと同時に、n型ソース・ドレイン10aの深さ方向及び横方向への拡散を効果的に抑制される。その結果、飽和電流値を増加させた上で短チャンネル効果を抑制することができる。

【0147】さらに、炭素ドーピング領域Rcdは、n型ソース・ドレイン領域10aで発生する過剰な格子間シリコンのゲート酸化膜方向への濃度勾配を抑制するので、逆短チャンネル効果の発生を抑制することもできる。

【0148】また、炭素ドーピング領域Rcd内の炭素によってトラップされた格子間シリコン原子は、炭素原子との間でクラスタを形成する。したがって、このようなクラスタがpn接合近辺(特に不純物濃度の低い基板領域側)に存在すると空乏層が広がった場合にpn接合リークを増大させることがある。それに対し、本実施形態のように炭素ドーピング領域Rcdがn型チャンネル領域17aよりも浅く設けられ、かつpn接合部には導入されていないことにより、pn接合リークの増大を防止しつつ、短チャンネル効果を抑制できる。

【0149】特に、本実施形態のように、チャンネル領域16aとソース・ドレイン領域10aとが同じ導電型の場合には、炭素がpn接合に存在しなくなるので、上述のように、接合リークを抑制しうる利点がある。

【0150】なお、本実施形態の製造工程の図示は省略するが、上述の第9の実施形態における炭素イオンの注入工程(図13(b)に示す工程)において、炭素イオンの注入の際の加速エネルギーを弱くすることで、浅い炭素ドーピング領域Rcdを容易に形成できることはいうまでもない。他の工程は、図13(a)～(e)に示す工程と同じである。

【0151】また、図示は省略するが、炭素ドーピング領域を深さ方向だけでなく横方向においてもチャンネル領域の内部のみに形成することもできる。例えば、図13(b)に示す工程の前にゲート酸化膜を形成しておき、ゲート電極の反転パターンを拡張したパターンを有するレジスト膜をマスクとして、炭素イオンの注入を行うことにより、深さ方向においても横方向においてもチャンネル領域からはみでることのない炭素ドーピング領域を形成することができる。

【0152】(第12の実施形態)次に、第12の実施形態について説明する。図17は、本実施形態に係るnチャンネル型MOSトランジスタの断面図である。

【0153】同図に示すように、p型シリコン基板1内には、p型ウエル2aが形成されており、このp型ウエル2a内におけるp型チャンネル領域16a及びn型ソース・ドレイン領域10aよりも深い領域に炭素ドーピング領域Rcdが形成されている。すなわち、本実施形態では、炭素ドーピング領域Rcdは、p型チャンネル領域16aやn型ソース・ドレイン領域10aとはオーバーラップしていない。その他の構成は、上記第10の実施形態と同様である。

【0154】次に、本実施形態に係るトランジスタの不純物濃度プロファイルについて、図18を参照しながら説明する。同図に示すように、本実施形態に係るトランジスタのp型ウエル2aは、p型シリコン基板1の表面近傍で不純物濃度が低く、かつシリコン基板1の深いところに不純物濃度のピークがある不純物濃度プロファイルを有し、いわゆるレトログレードウエルとなっている。そして、炭素ドーピング領域Rcdは、p型チャンネル領域16a及びn型ソース・ドレイン領域10aとはオーバーラップせず、かつ炭素濃度のピーク位置がp型ウエル2aの不純物濃度のピーク位置よりも浅いという濃度プロファイルを有している。

【0155】本実施形態のような構造を採用することにより、p型ウエル2a内の不純物濃度のピーク位置の近辺で発生する格子間シリコンの基板表面への拡散を抑制することができるので、p型チャネル領域16aの近傍における格子間シリコン濃度勾配が急になるのを抑制することができる。したがって、p型チャネル領域16a内の不純物の分布を急峻に保つことができ、飽和電流値の減少を抑制することができる。

【0156】次に、本実施形態に係るnチャネル型MOSTランジスタの製造工程について、図19(a)～(f)を参照しながら説明する。

【0157】まず、図19(a)に示すように、p型シリコン基板1内にホウ素イオンを注入し、ウエル用不純物拡散領域2を形成する。このときの注入条件は、加速エネルギーが300～2000keVで、注入量が $1 \times 10^{13} - 1 \times 10^{14} \text{cm}^{-2}$ である。ホウ素イオンがこのようなエネルギー範囲で注入されると、ウエル用不純物拡散領域2は、p型シリコン基板1の表面近傍で不純物濃度が低く、かつp型シリコン基板1の深いところに不純物濃度のピークがある不純物濃度プロファイルを有し、いわゆるレトログレードウエルとなる。

【0158】次に、図19(b)に示すように、ウエル用不純物拡散領域2内に炭素イオンを注入し、炭素ドープ領域Rcdを形成する。このとき、注入条件は、加速エネルギーが80keVで、注入量が $1 \times 10^{15} \text{cm}^{-2}$ 程度である( $3 \times 10^{14} \sim 2 \times 10^{15} \text{cm}^{-2}$ の範囲が好ましい)。

【0159】次に、図19(c)に示すように、p型シリコン基板1の表面付近の領域に、しきい値制御レベルの濃度のホウ素イオンを注入し、チャネル用不純物拡散領域16を形成する。注入条件は、加速エネルギーが20～30keVで、注入量が $4 - 6 \times 10^{12} \text{cm}^{-2}$ である。

【0160】次に、図19(d)に示すように、p型シリコン基板1の表面を酸化して、厚みが8～12nmのゲート絶縁膜4を形成する。

【0161】次に、図19(e)に示すように、全面に厚みが200～300nmのポリシリコン膜を堆積した後、通常の写真、エッチング工程を経てゲート電極5を形成する。次に、ゲート電極5の両側面上にサイドウォール7を形成する。

【0162】次に、図19(f)に示すように、ゲート電極5及びサイドウォール7をマスクとして用い、ゲート電極5と、p型シリコン基板1内のゲート電極5の両側方に位置する領域とに高濃度の砒素イオンを注入して、ソース・ドレイン用不純物拡散領域(図示せず)を形成する。このとき、砒素イオンが導入されたソース・ドレイン用不純物拡散領域は炭素ドープ領域Rcdよりも浅い。注入条件は、加速エネルギーが30～40keVで、注入量が $5 \times 10^{15} \text{cm}^{-2}$ 程度である。次に、導入された不純物を活性化し結晶欠陥を回復させるため850℃、30分の熱処理を行って、ゲート電極5を低抵抗のn型ゲート電極5aにするとともに、シリコン基板1内に、p型ウエル2aと、p型チャネル領域16aと、n型ソース・ドレイン領域10aとを形成する。

【0163】(第13の実施形態) 次に、第13の実施形態について説明する。本実施形態に係るnチャネル型MOSTランジスタの構造は、上記第12の実施形態に係るランジスタの構造と本質的には同じであるが、本実施形態では、炭素ドープ領域をエピタキシャル成長と同時に形成している点が異なる。

【0164】以下、本実施形態に係るnチャネル型MOSTランジスタの製造工程について、図20(a)～(f)を参照しながら説明する。

【0165】まず、図20(a)に示すように、p型シリコン基板1の上に、炭素をドープしながらシリコン単結晶をエピタキシャル成長させて、炭素ドープエピ領域RRcdeを形成する。

【0166】次に、図20(b)に示すように、炭素ドープエピ領域Rcdeの上に、炭素のドープを行わずにシリコン単結晶をエピタキシャル成長させて、表面エピ層32を形成する。

【0167】次に、図20(c)に示すように、表面エピ層32、炭素ドープエピ領域Rcde及び下方のp型シリコン基板1内にホウ素イオンを注入し、ウエル用不純物拡散領域2を形成する。このとき、注入条件は、加速エネルギーが300～2000keVで、注入量が $1 \times 10^{13} - 1 \times 10^{14} \text{cm}^{-2}$ である。ホウ素イオンがこのようなエネルギー範囲で注入されると、ウエル用不純物拡散領域2は、p型シリコン基板1の表面近傍で不純物濃度が低く、かつp型シリコン基板1の深いところに不純物濃度のピークがある不純物濃度プロファイルを有し、いわゆるレトログレードウエルとなる。次に、表面エピ層32の表面付近の領域に、しきい値制御レベルの濃度のホウ素イオンを注入し、チャネル用不純物拡散領域16を形

成する。注入条件は、加速エネルギーが $20-60\text{keV}$ で、注入量が $4-6 \times 10^{12}\text{cm}^{-2}$ である。

【0168】次に、図20(d)に示すように、基板の表面を酸化して、厚みが $8-12\text{nm}$ のゲート絶縁膜4を形成する。

【0169】次に、図20(e)に示すように、全面に厚みが $200-300\text{nm}$ のポリシリコン膜を堆積した後、通常のフォトリソ、エッチング工程を経てゲート電極5を形成する。次に、ゲート電極5の両側面上にサイドウォール7を形成する。

【0170】次に、図20(f)に示すように、ゲート電極5とサイドウォール7をマスクとして用い、ゲート電極5と、表面エピ層32内でゲート電極5の両側方に位置する領域とに高濃度の砒素イオンを注入し、ソース・ドレイン用不純物拡散領域(図示せず)を形成する。このとき、砒素イオンが導入されたソース・ドレイン用不純物拡散領域は炭素ドーピング領域 $R_{cd}$ よりも浅い。注入条件は、加速エネルギーが $30-40\text{keV}$ で、注入量が $5 \times 10^{15}\text{cm}^{-2}$ 程度である。次に、導入された不純物を活性化し結晶欠陥を回復させるため $850^{\circ}\text{C}$ 、30分の熱処理を行って、ゲート電極5を低抵抗のn型ゲート電極5aにするとともに、シリコン基板1内に、p型ウエル2aと、p型チャネル領域16aと、n型ソース・ドレイン領域10aとを形成する。

【0171】本実施形態の製造方法によれば、上記第12の実施形態に比べ、炭素ドーピングエピ領域 $R_{cde}$ 内における炭素濃度のピーク位置をp型ウエル2a内の不純物濃度のピーク位置よりも浅く形成することが容易かつ確実となる利点がある。

【0172】(その他の実施形態)なお、上記各実施形態においては、半導体装置として、nチャネル型MOSTランジスタについて説明したが、本発明は斯かる実施形態に限定されるものではなく、pチャネル型MOSTランジスタについても同様に適用することができる。したがって、nチャネル型MOSTランジスタとpチャネル型MOSTランジスタとを搭載したCMOS型半導体装置にも適用できることはいうまでもない。

【0173】また、MOS型半導体装置だけでなく、ゲート絶縁膜を酸化窒化膜等で形成したMIS型半導体装置全般についても適用できる。

【0174】さらに、炭素ドーピング領域を形成する方法は、必ずしも上記各実施形態のごとくイオン注入法あるいはCVD法(エピタキシャル成長法)に限定されるものではなく、気体からの拡散法やプラズマによる導入方法等も用いてもよい。

【0175】同様に、n型ソース・ドレイン領域、チャネル領域、低濃度ソース・ドレイン領域(extension)、ポケット注入領域等も気体からの拡散法やプラズマからの導入方法を用いることもできる。ただし、拡散法を用いる場合で炭素による不純物の拡散を抑制しようとする場合には、あらかじめ炭素を導入しておく必要があることはいうまでもない。

【0176】また、上記各実施形態においては、半導体基板をシリコン基板で構成したが、本発明は斯かる実施形態に限定されるものではなく、他の種類の半導体基板についても同様に適用できるものである。

【0177】

【発明の効果】請求項1-2によれば、半導体装置のソース・ドレイン領域とオーバーラップするように炭素ドーピング領域を形成する構成としたので、ソース・ドレイン領域の濃度を濃くしながらその深さをゲート長の縮小に応じて浅くすることが可能となり、よって、微細化された半導体装置における短チャネル効果の抑制を図ることができる。

【0178】請求項3-6によれば、ソース・ドレイン領域とゲート直下領域との間に低濃度ソース・ドレイン領域を設けた半導体装置において、低濃度ソース・ドレイン領域とオーバーラップするように炭素ドーピング領域を形成し、あるいはこの構成に加えたポケット領域に亘って炭素ドーピング領域を形成する構成としたので、微細化された半導体装置において、短チャネル効果の抑制に加え、逆短チャネル効果の抑制や拡散容量の低減を図ることができる。

【0179】請求項7-9によれば、半導体装置のチャネル領域とオーバーラップするようにチャネル領域を形成する構成としたので、微細化された半導体装置において、短チャネル効果、逆短チャネル効果の抑制に加え、高い飽和電流値を維持することができる。

【0180】請求項10-11によれば、半導体装置のウエル領域の奥方でチャネル領域と離れるように炭素ドーピング領域を形成する構成としたので、微細化された半導体装置において、逆短チャネル効果を抑制し、かつ高い飽和電流値を維持することができる。

【0181】請求項12－22によれば、請求項1－11の構成を有する半導体装置の製造の容易化を図ることができる。

## 図の説明

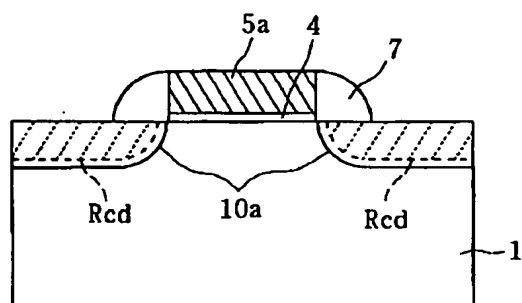
### 【図面の簡単な説明】

- 【図1】第1の実施形態に係るnチャネル型MOSTランジスタの断面図である。  
【図2】第1の実施形態に係るnチャネル型MOSTランジスタの製造工程を示す断面図である。  
【図3】第2の実施形態に係るnチャネル型MOSTランジスタの断面図である。  
【図4】第3の実施形態に係るnチャネル型MOSTランジスタの断面図である。  
【図5】第3の実施形態に係るnチャネル型MOSTランジスタの製造工程を示す断面図である。  
【図6】第4の実施形態に係るnチャネル型MOSTランジスタの断面図である。  
【図7】第5の実施形態に係るnチャネル型MOSTランジスタの断面図である。  
【図8】第6の実施形態に係るnチャネル型MOSTランジスタの断面図である。  
【図9】第6の実施形態に係るnチャネル型MOSTランジスタの製造工程を示す断面図である。  
【図10】第7の実施形態に係るnチャネル型MOSTランジスタの断面図である。  
【図11】第8の実施形態に係るnチャネル型MOSTランジスタの断面図である。  
【図12】第9の実施形態に係るnチャネル型MOSTランジスタの断面図である。  
【図13】第9の実施形態に係るnチャネル型MOSTランジスタの製造工程を示す断面図である。  
【図14】第10の実施形態に係るnチャネル型MOSTランジスタの断面図である。  
【図15】第10の実施形態に係るnチャネル型MOSTランジスタの製造工程を示す断面図である。  
【図16】第11の実施形態に係るnチャネル型MOSTランジスタの断面図である。  
【図17】第12の実施形態に係るnチャネル型MOSTランジスタの断面図である。  
【図18】第12の実施形態に係るnチャネル型MOSTランジスタの各領域における不純物濃度と炭素ドーピング領域の炭素濃度との関係を示す図である。  
【図19】第12の実施形態に係るnチャネル型MOSTランジスタの製造工程を示す断面図である。  
【図20】第13の実施形態に係るnチャネル型MOSTランジスタの製造工程を示す断面図である。  
【図21】従来の各種nチャネル型MOSTランジスタの構造をそれぞれ示す断面図である。  
【図22】従来のLDD構造とポケット注入領域とを備えたnチャネル型MOSTランジスタの製造工程を示す断面図である。

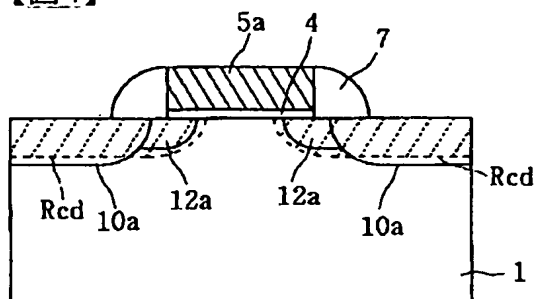
### 【符号の説明】

- 1 p型シリコン基板(基板領域)  
2 ウエル用不純物拡散領域  
2a p型ウエル(基板領域)  
4 ゲート絶縁膜  
5 ゲート電極  
5a n型ゲート電極  
7 サイドウォール  
10 ソース・ドレイン用不純物拡散領域  
10a n型ソース・ドレイン領域  
12 低濃度ソース・ドレイン用不純物拡散領域  
12a n型低濃度ソース・ドレイン領域  
15a p型ポケット領域  
16 チャネル用不純物拡散領域  
16a p型チャネル領域  
17a n型チャネル領域  
21a, 21b シリサイド層  
31, 32 表面エピ層  
Rcd 炭素ドーピング領域  
Rcde 炭素ドーピングエピ領域

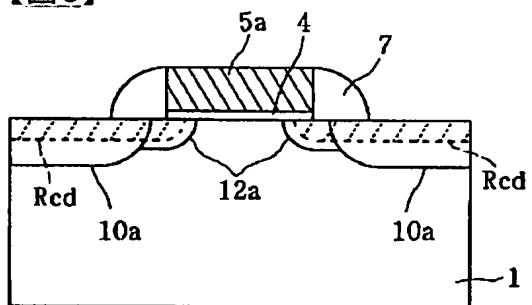




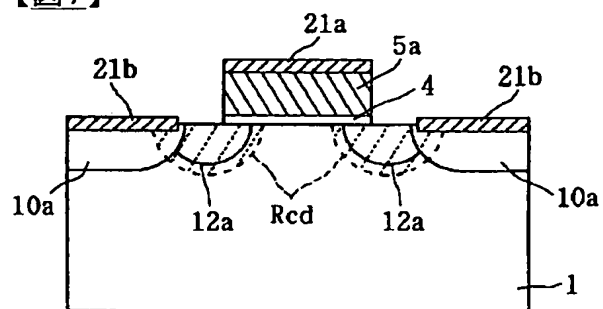
【図4】



【図6】

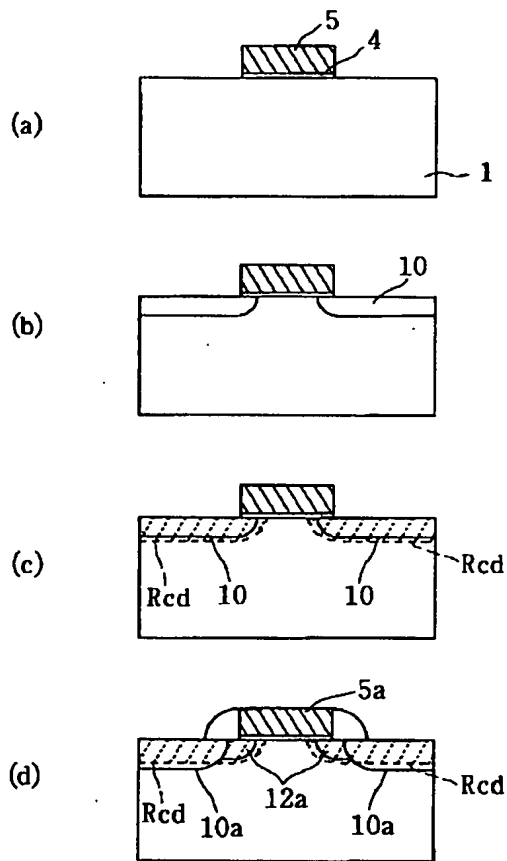


【図7】

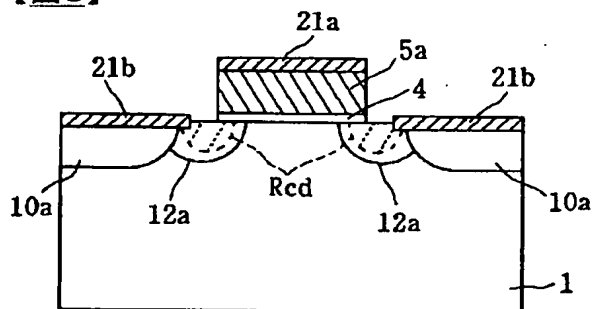


【図5】

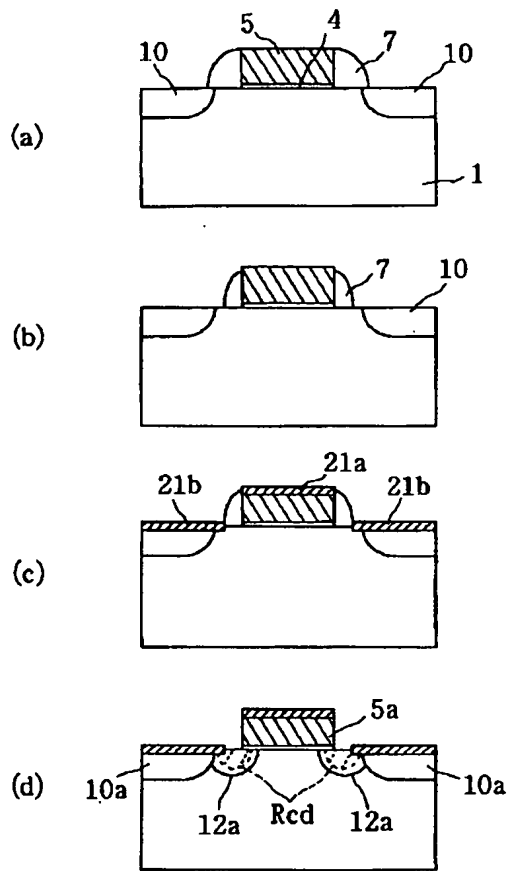




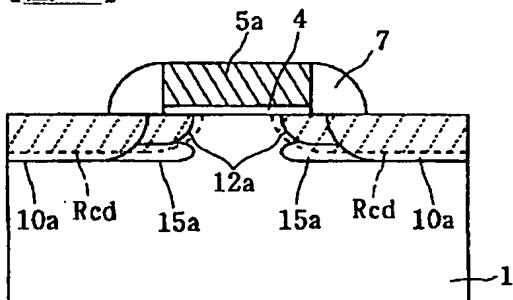
【図8】



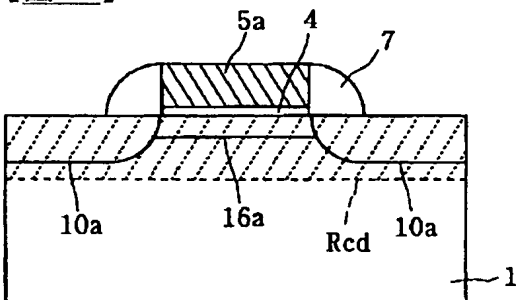
【図9】



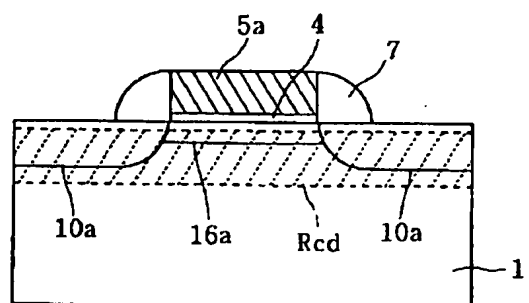
【図10】



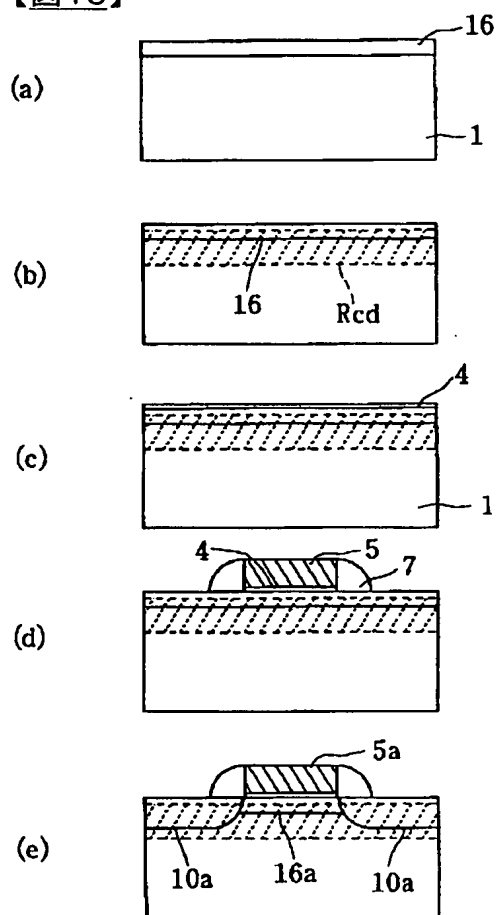
【図11】



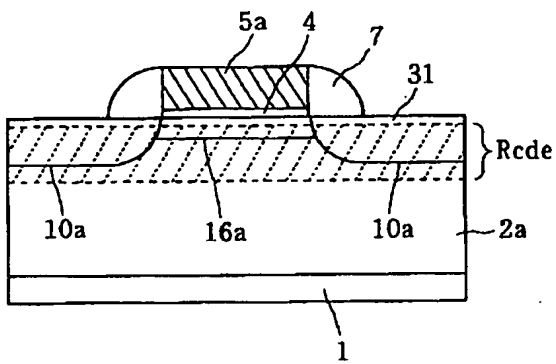
【図12】



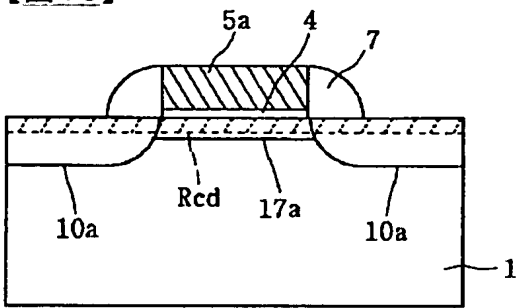
【図13】



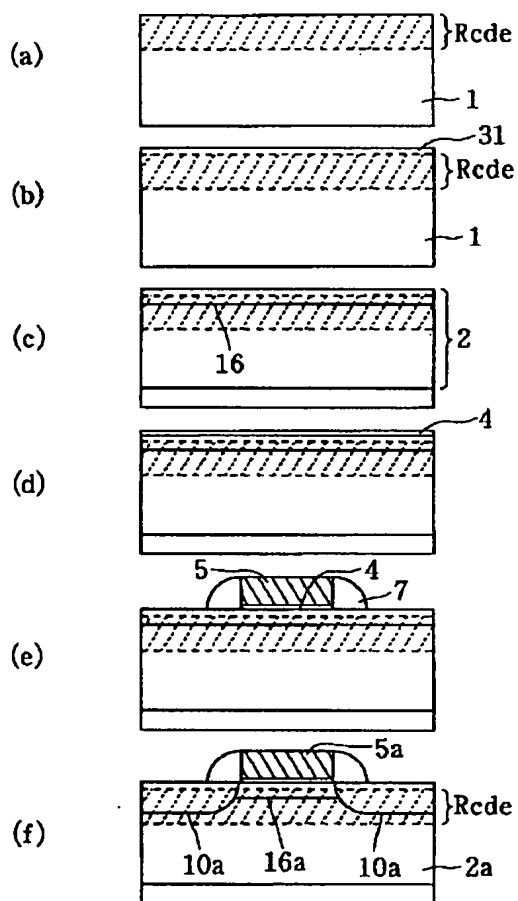
【図14】



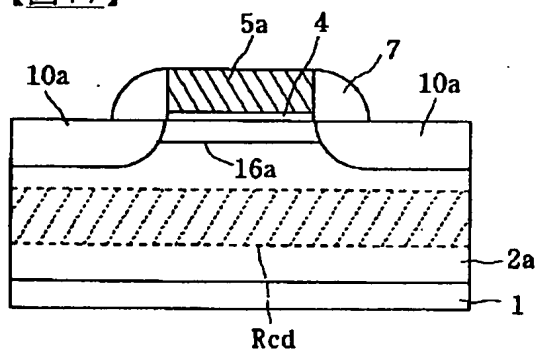
【図16】



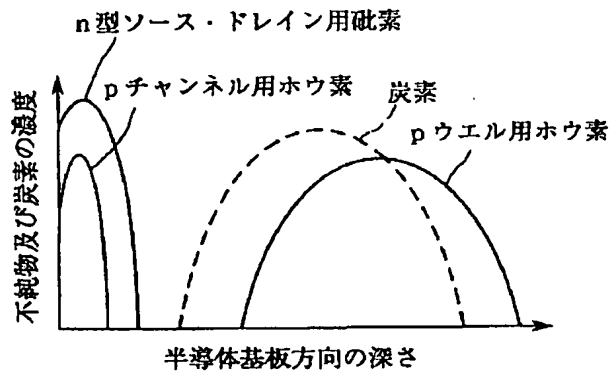
【図15】



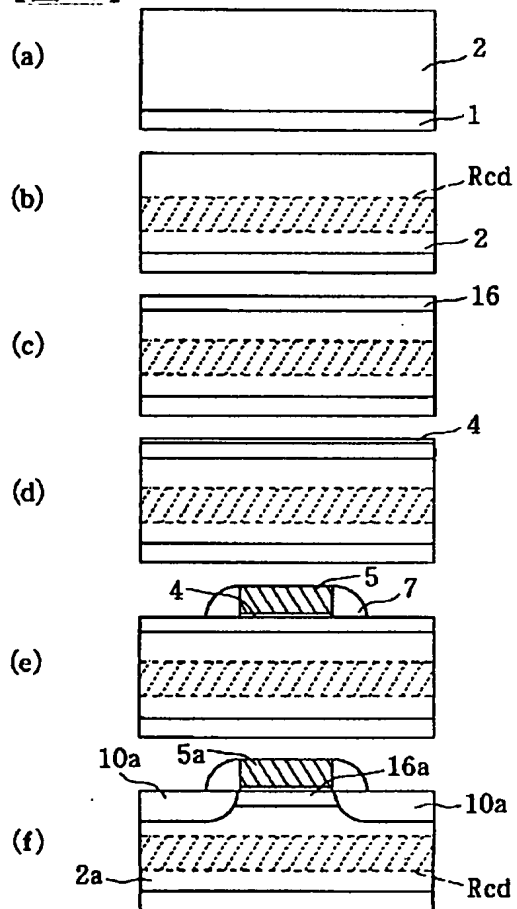
【図17】



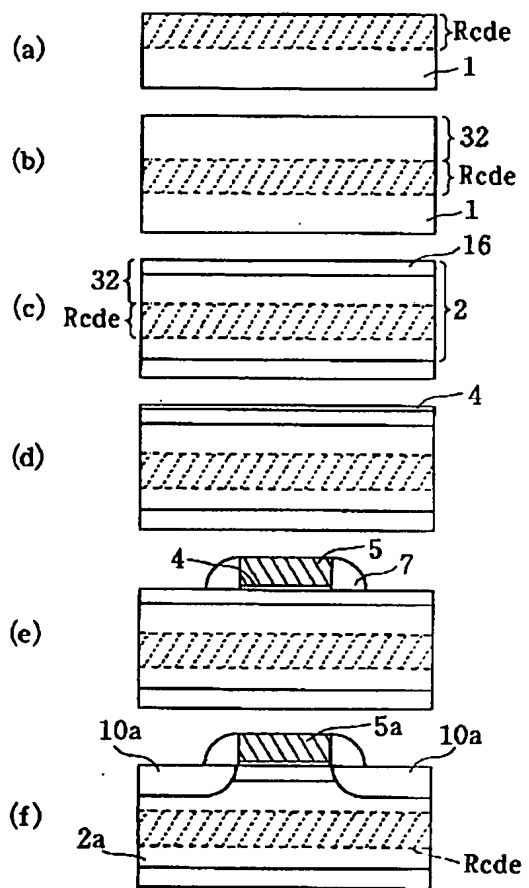
【図18】



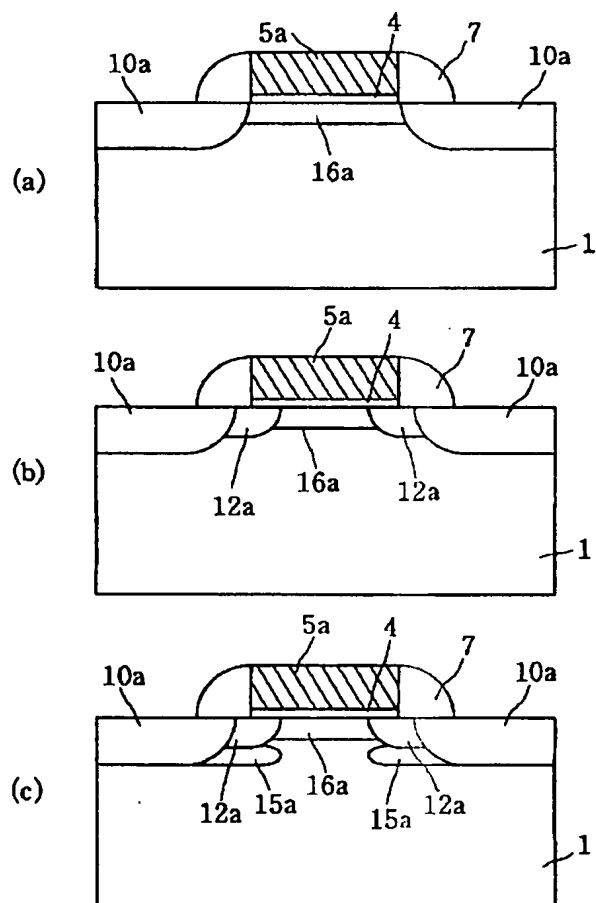
【図19】



【図20】



【図21】



【図22】



